

# Guia Técnico

**SISTEMA DE TELEVISÃO EM CORES**

## Chassi MX5

Use este **GUIA TÉCNICO** do Chassi MX5 sempre em conjunto com o Manual de Serviço e suplementos associados aos aparelhos equipados com este chassi.

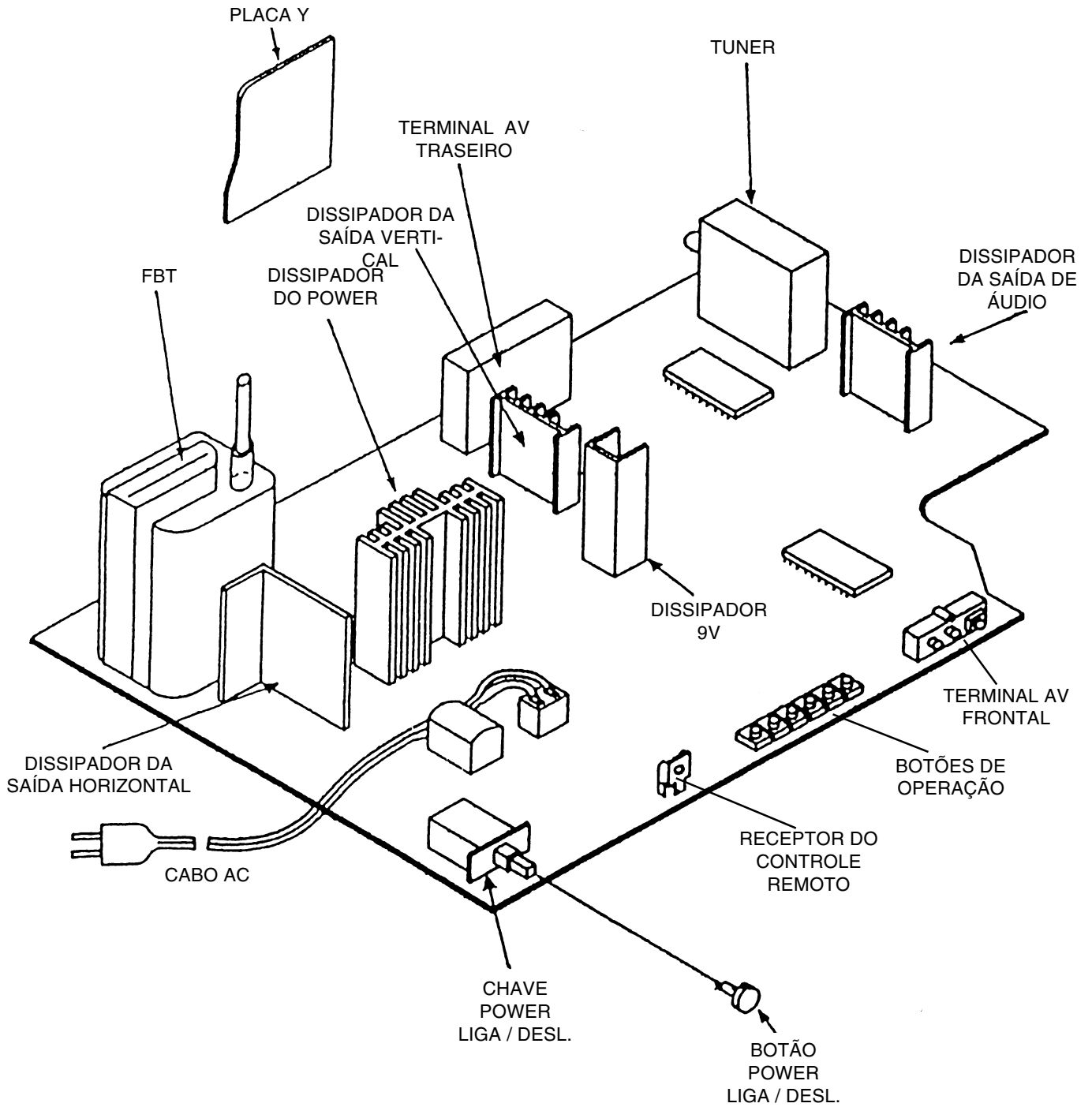
## ATENÇÃO

Este Guia Técnico foi elaborado para uso somente por profissionais e técnicos treinados e autorizados pela **Panasonic do Brasil** e não foi direcionado para utilização pelo consumidor ou público em geral uma vez que não contém advertências sobre possíveis riscos de manipulação do aparelho aqui especificado por pessoas não treinadas e não familiarizadas com equipamentos eletrônicos. **Qualquer tentativa de reparo do produto aqui especificado por parte de pessoa não qualificada, utilizando ou não este Guia Técnico, implicará em riscos de danos ao equipamento, com a perda total da garantia e a sérios riscos de acidentes.**

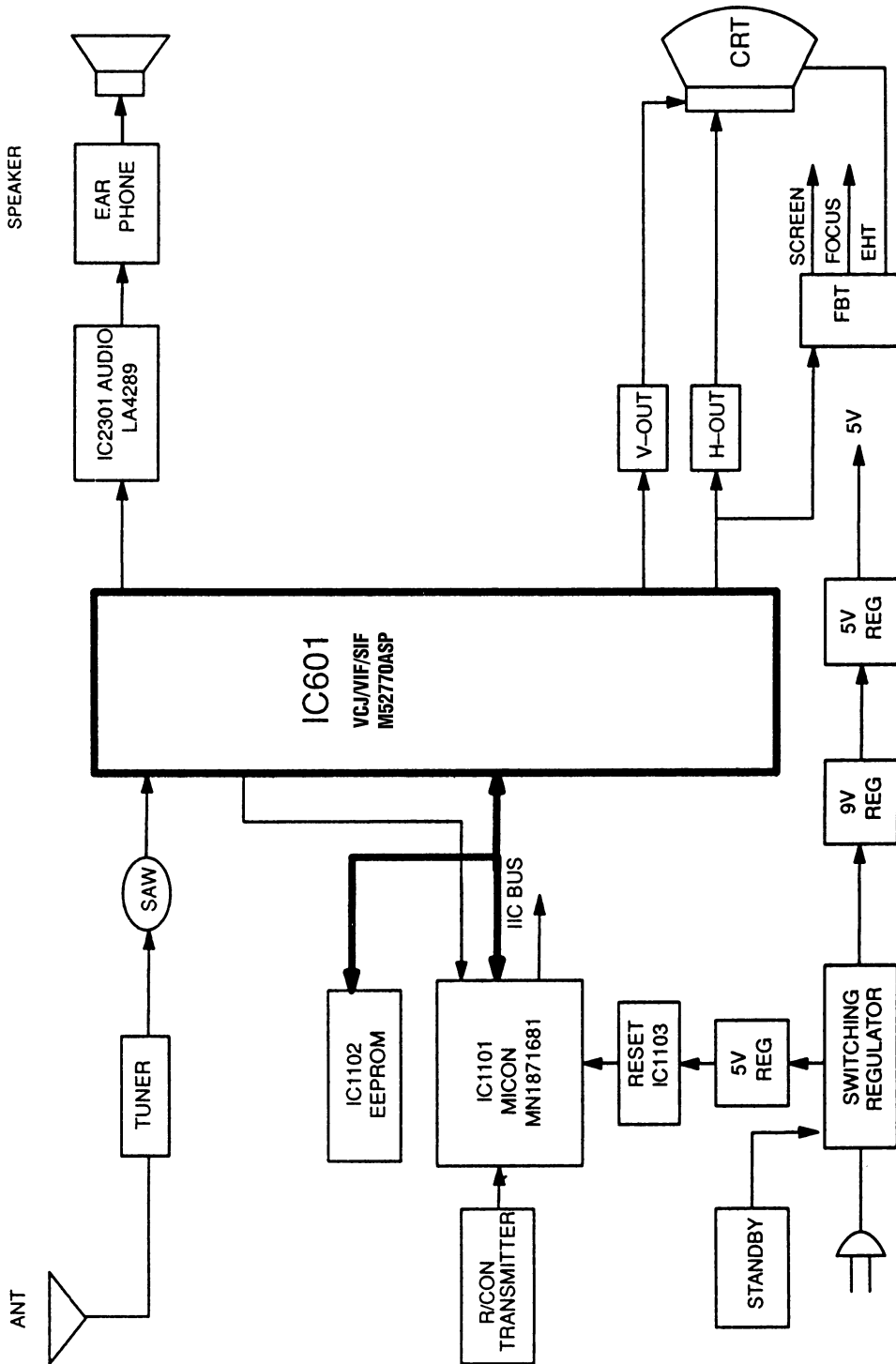
## INDICE

LOCALIZAÇÃO DOS CONTROLES E PLACAS DE CIRCUITOS .....	03
DIAGRAMA EM BLOCOS DOS CIRCUITOS .....	04
DIAGRAMA EM BLOCOS DO MICROPROCESSADOR .....	05
1.0- MICROPROCESSADOR - Introdução .....	06
MEMÓRIA EEPROM .....	07
Circuito de RESET .....	07
Seleção de Versão .....	08
MICROPROCESSADOR - Tabela de Pinagem e Funções .....	10
2.0- SELETOR .....	11
Processo de Seleção do Canal .....	11
DIAGRAMA ESQUEMÁTICO DO AMPLIFICADOR DE ÁUDIO .....	12
DIAGRAMA EM BLOCOS DO CIRCUITO DE ÁUDIO .....	13
FLUXO DO SINAL DE COR PAL / NTSC .....	14
3.0- O IC601 - Perfil e Características do Microprocessador .....	15
4.0- FI DE VÍDEO .....	17
Amplificador de VIF .....	17
Detetor de Vídeo .....	17
Detetor Travado .....	17
Detetor IF AGC .....	17
RF AGC .....	18
VCO .....	18
AFT .....	19
5.0- SIF .....	19
Amplificador Limitador .....	20
Detetor de FM .....	20
AMP - Amplificador de Áudio .....	21
6.0- LUMINANCIA .....	22
Chave de Vídeo .....	23
Saída da Chave Y .....	23
Extensão do Preto .....	23
7.0- CROMINANCIA .....	24
Filtro Passa-Alta e 1º Amplificador .....	24
Filtro Passa-Baixa .....	24
2º Amplificador .....	25
Detetor ACC .....	25
Crominancia VCXO .....	25
Sistema Automático de Cor .....	26
8.0- CIRCUITOS DE DEFLEXÃO .....	27
8.1- Circuito de Deflexão Horizontal .....	28
Saída Horizontal .....	29
8.2- Circuito de Deflexão Vertical .....	31
IC601 - Descrição dos Pinos e Funções .....	32
9.0- CIRCUITO DE PROTEÇÃO .....	36
Perfil e Operação do Circuito .....	36
10.0- DIAGRAMA ESQUEMÁTICO DO CIRCUITO FONTE .....	37
11.0- CIRCUITO DE ALIMENTAÇÃO - Introdução e Operação .....	38

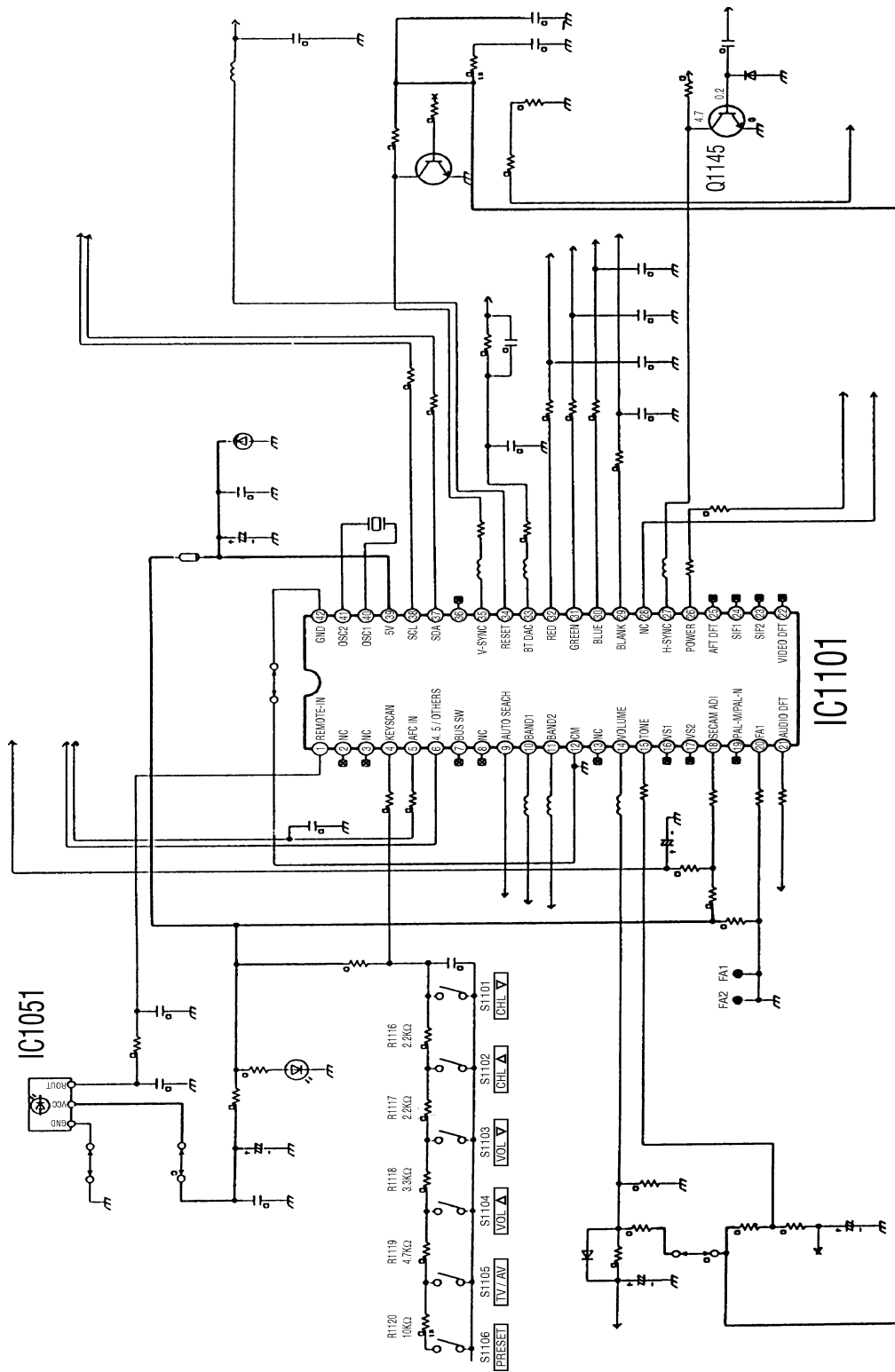
# LOCALIZAÇÃO DOS CONTROLES E PLACAS DE CIRCUITOS



# DIAGRAMA EM BLOCOS



# MICROPROCESSADOR



# 1.0 MICROPROCESSADOR

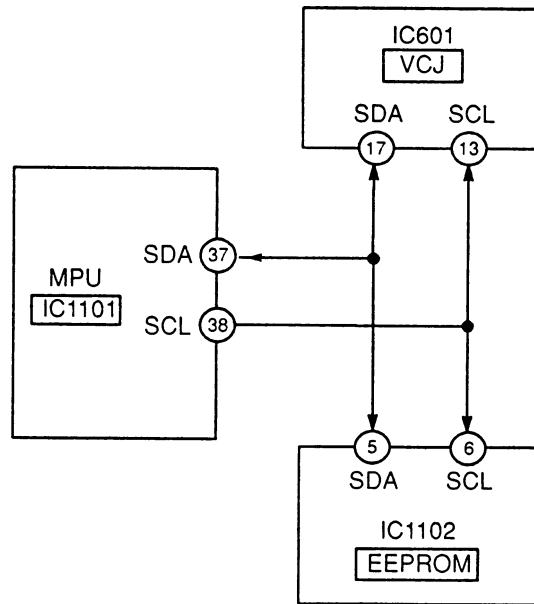
## Introdução

O microprocessador produz os sinais de controle e os chaveamentos necessários para controlar os circuitos do chassi MX5 de acordo com os comandos recebidos do transmissor de controle remoto ou do próprio circuito. Este microprocessador é um circuito do tipo CMOS, possui uma capacidade de memória ROM de 16K bytes.

## Características Principais

1. Decodifica os sinais enviados de um controle remoto em códigos decifrados.  
(frequência da portadora: 36,7KHz).
2. Envia os sinais para o Tuner sintonizar os canais.
3. Armazena e lê dados como canal sintonizado, chaveamento de circuitos, dados de posição de ajustes e controles do IC memória (IC1102).
4. Gera o "ON-SCREEN DISPLAY": Saída de sinal RGB para as mensagens que são mostradas no CRT.
5. Chaveamento e controle: Produz o sinal de controle para imagem e som, etc., e faz o chaveamento dos modos TV ou AV.
6. Ajustes: Produz os níveis de ajustes para VCJ/VIF (IC601), através do IIC bus.

## IIC bus

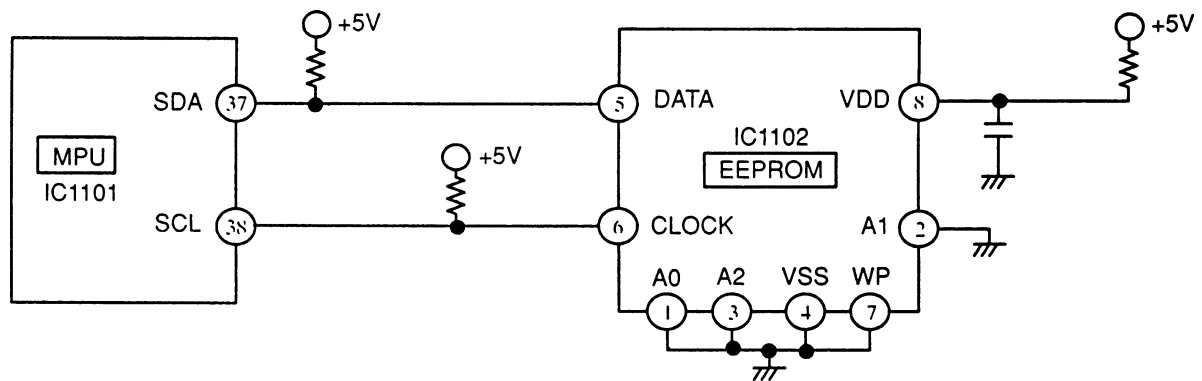


1. O **IIC bus** é um sistema de duas vias formado por uma linha de dados e uma linha de clock.
2. Permite um grande número de chaveamentos e funções de controle no chassi MX5.

O microprocessador IC1101 gera o sinal IIC bus que controla a seguinte configuração:

1. **EEPROM IC1101**  
São memórias de 4K-bit, não-voláteis, Microchip e SEIKO. Ambas possuem o padrão de 512x8 bits.
2. **VCJ/VIF IC601**  
É o CI de VIF/VCJ controlado via IIC bus.  
As funções controladas externamente são: COR, NTSC-TINT, BRILHO, CONTRASTE, NITIDEZ, CENTRALIZAÇÃO HORIZONTAL, CUT-OFF, DRIVE, SISTEMA DE COR, etc.

## Memória EEPROM



A memória IC1102 recebe os dados listados abaixo, enviados pelo microprocessador IC1101 através do IIC bus. Estes dados podem ser gravados ou lidos sempre que for necessário.

Como essa memória é do tipo não-volátil, futuramente, os dados podem ser acessados, mesmo que a alimentação seja desligada.

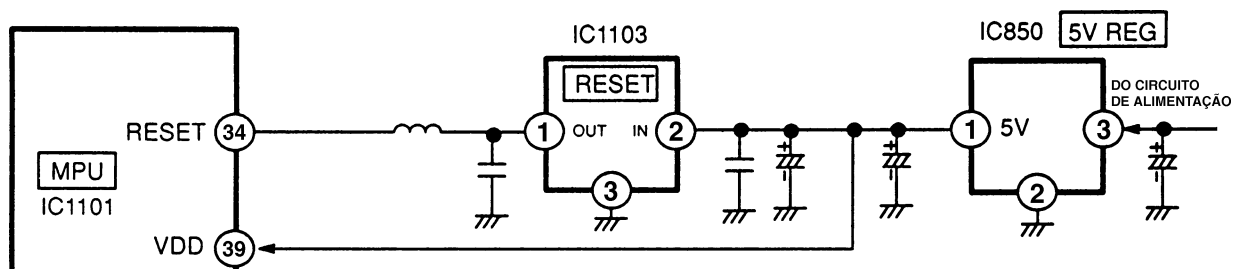
Pino Nº	Nome	Função
1	A0	Endereço Ground-chip
2	A1	Endereço Ground-chip
3	A2	Endereço Ground-chip
4	VSS	Ground
5	SDA	Serial data entrada/saída
6	SCL	Serial clock de saída
7	WP	Ground
18	VDD	+5V

- 125 Canais e informação de banda (VL,VH,U e cabo).
- 125 Canais de AFC, SKIP, SISTEMA DE COR e informação SIF.
- Última posição para cada modo chaveado.
- Dados de Volume.
- Modo TV / AV.
- Recall ON/OFF.
- Programação do timer (ligar ou desligar).
- Programação do modo de serviço.
- Cor, NTSC TINT, BRILHO, CONTRASTE, dados do DAC de NITIDEZ e dados de cada sub-DAC, TONE, RGB-CUT OFF, RGB-DRIVE, etc.
- MENU DE IMAGEM
- PROGRAMAÇÃO DE COR para cada canal.
- Programação de Restrições para cada canal.

## Últimas locações da memória EEPROM

Estas locações de memória vão conter as seguintes informações, que ficam sempre armazenadas mesmo quando a alimentação AC for interrompida.

## Circuito de RESET

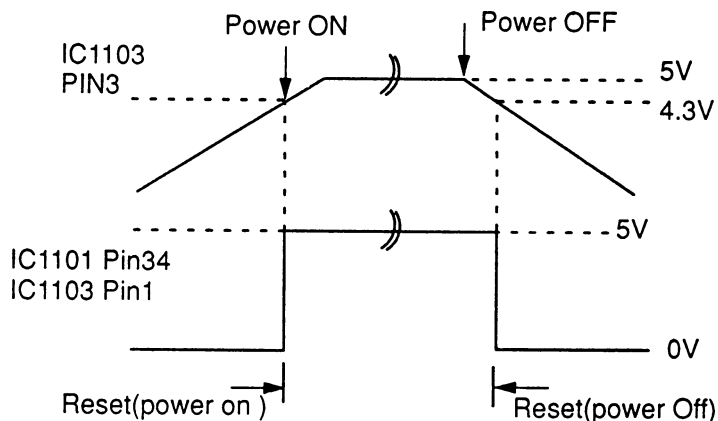


Durante a operação de liga/desliga, ou durante uma momentânea queda na linha de tensão +B, uma tensão insuficiente será fornecida ao microprocessador IC1101 e poderá causar alguma operação incorreta do microprocessador.

Para prevenir operações incorretas, este circuito ativa um pulso de **reset** até que a tensão fornecida ao microprocessador seja normalizada.

Quando a chave power é ligada, se a tensão VDD no pino VCC do microprocessador IC1103 for menor que 4,5V, a tensão no pino 1 do IC1103 será nível baixo, e o microprocessador será resetado.

O microprocessador começa a trabalhar quando a tensão VDD se estabiliza acima de 4,5V



## SELEÇÃO DE VERSÃO

### a) SISTEMA DE COR

Endereço EEPROM	Código de Software	Sistema de cor para modo TV	Sistema de cor para modo AV
X' 0FA'	0H	PAL / SECAM / NTSC 4.43 / NTSC 3.58	PAL / SECAM / NTSC 4.43 / NTSC 3.58
	1H	PAL / NTSC 4.43 / NTSC 3.58	PAL / NTSC 4.43 / NTSC 3.58
	2H	PAL / NTSC 3.58	PAL / NTSC 3.58
	3H	PAL / NTSC 4.43	PAL / NTSC 4.43 / NTSC 3.58
	4H	PAL / NTSC 4.43	PAL / NTSC 4.43
	5H	PAL / SECAM / NTSC 4.43	PAL / SECAM / NTSC 4.43
	6H	PAL / SECAM / NTSC 4.43	PAL / SECAM / NTSC 4.43 / NTSC 3.58

### b) SISTEMA DE ÁUDIO

Endereço EEPROM	Código de Software	IF de Áudio
X' 0FB'	0H	4.5, 5.5, 6.0, 6.5
	1H	5.5, 6.0, 6.5
	2H	5.5, 6.5
	3H	6.0, 6.5
	4H	5.5
	5H	4.5, 5.5

**c) DEMO PANASONIC**

Endereço <b>EEPROM</b>	Código de Software	Observação
X' 0FC'	AAH	Com Panasonic DEMO
	55H	Sem Panasonic DEMO

**d) REDUÇÃO DE RUÍDOS - SASO**

Endereço <b>EEPROM</b>	Código de Software	Observação
X' 0FE'	AAH	Com sistema SASO
	55H	Sem sistema SASO

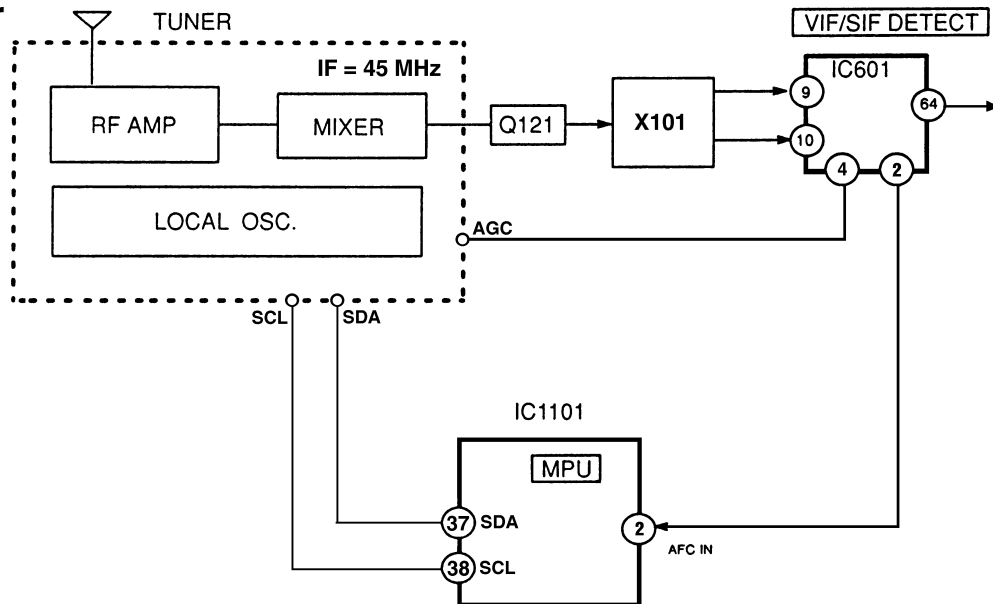
**e) REDUÇÃO DE RUÍDOS**

Endereço <b>EEPROM</b>	Código de Software	Observação
X' 0FF'	AAH	Com Redução de Ruídos
	55H	Sem Redução de Ruídos

## Microprocessador MN1871681TDL - Pinagem e Funções

Pino Nº	Nome		IN/OUT	Função
1	REMOTE IN	P06	IN	Entrada do sinal do controle remoto
4	KEYSCAN	ADIN 2	IN	Tensão de entrada para chaveamento das funções 0.000 ~ 0.433 V: Channel Down 0.797 ~ 1.070 V: Channel UP 1.424 ~ 1.696 V: Volume Down 2.050 ~ 2.323 V: Volume UP 2.667 ~ 2.950 V: TV / AV Switching 3.304 ~ 3.576 V: PRESET
5	AFC IN	ADIN3	IN	Entrada da tensão de AFC do tuner
6	4.5/OTHERS	ADIN4	OUT	Chaveamento de 4.5 MHz
20	FA1	P46	IN	Terminal de entrada de dados de fábrica. Interrompe o controle do microprocessador sobre o IIC bus quando é necessário inserir dados na EEPROM através de um controle externo, na fábrica. H: IIC bus controlado pelo microprocessador (usual) L: O acesso ao IIC bus pode ser feito através de um controle externo.
21	AUDIO DEFEAT	P45	OUT	Saída do sinal Sound Defeat H: Defeat ligado L: Defeat desligado
26	POWER ON/OFF	P40	OUT	Sinal de chaveamento Power ON/OFF H: Ligado L: Desligado (STANDBY)
27	H. SYNC	HSYNC	IN	Entrada do sinal de sincronismo horizontal para o gerador de caracteres ON-SCREEN. (Ativado em nível baixo)
29	BLANKING	VOB	OUT	Saída do sinal de apagamento para o gerador de ON-SCREEN.
30	BLUE	VOW3	OUT	Saída do sinal AZUL do gerador de caracteres.
31	GREEN	VOW2	OUT	Saída do sinal VERDE do gerador de caracteres.
32	RED	VOW1	OUT	Saída do sinal VERMELHO do gerador de caracteres.
34	RESET	RESET	IN	Entrada do sinal de RESET
35	VSYNC	VSYNC/ IRQ1	IN	Entrada do sinal de sincronismo vertical para o gerador de caracteres ON-SCREEN. (Ativado a nível baixo)
37	IIC DATA	P03	OUT/IN	Sinal de dados do IIC bus (terminal entrada/saída)
38	IIC CLOCK	P00	OUT	Sinal de clock do IIC bus
39	VDD	VDD	IN	+5V
40	OSC1	OSC1	IN	Oscilador de 12MHz
41	OSC2	OSC2	OUT	Oscilador de 12MHz
42	GND	—	—	Terra

## 2.0 Seletor

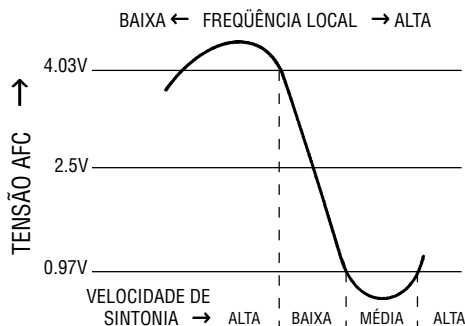


1. A função do seletor é converter os sinais de TV transmitidos em VHF/UHF/CABO, em um sinal de frequência intermediária (IF=45 MHz).
2. A antena intercepta os sinais de TV que serão amplificados pelo amplificador R.F.
3. Um oscilador local, gera as frequências básicas para converter os sinais recebidos em um sinal de frequência comum (frequência intermediária).
4. Este sinal é amplificado pelo amplificador I.F. (Q121) e através do filtro SAW (X120) é aplicado no IC601.

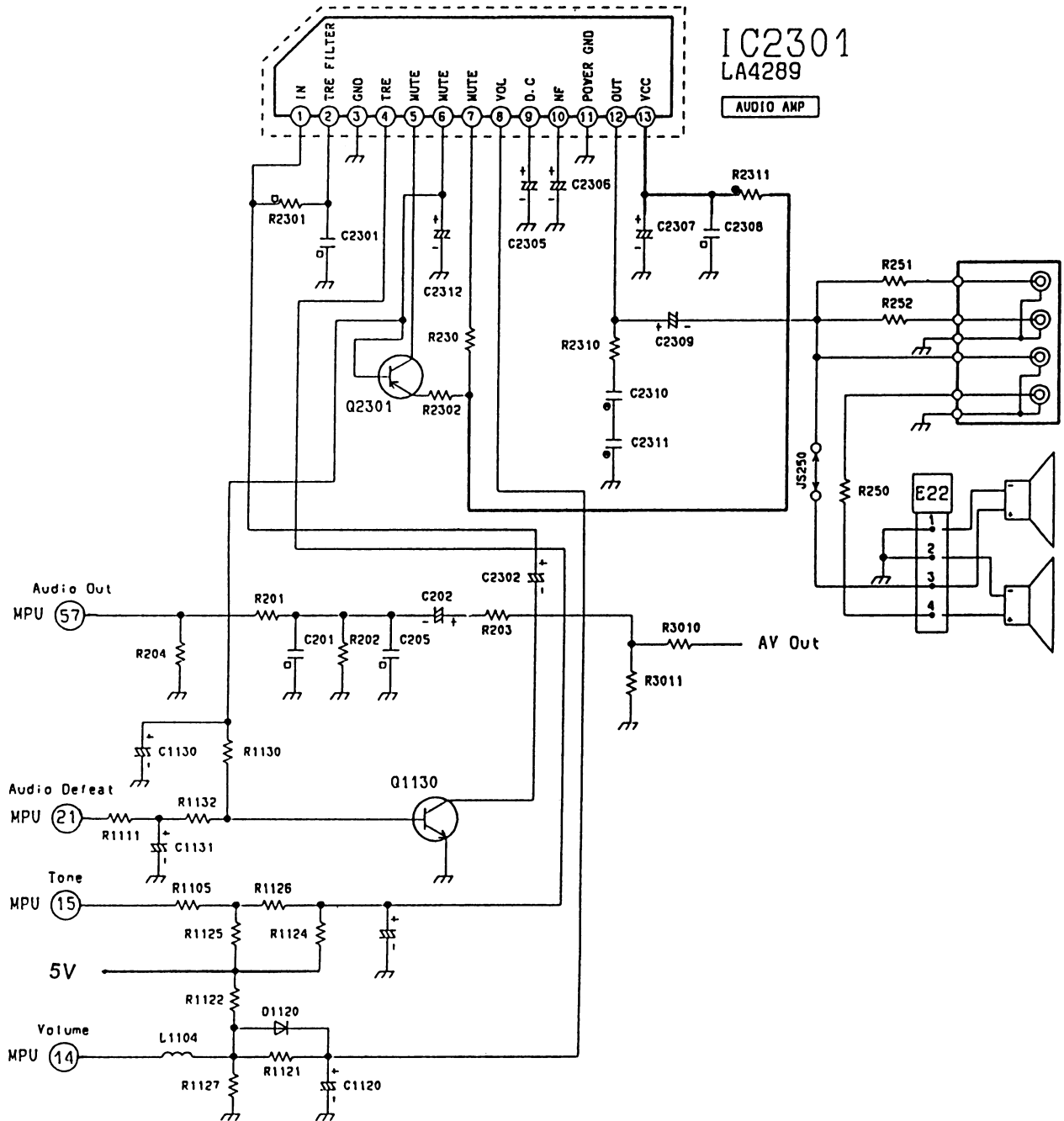
## Processo de Seleção do Canal

O microprocessador IC1101 executa a seleção de canal conforme descrito abaixo:

- 1) Depois de ligado o aparelho e passado 800ms, o IC1101 busca os dados do canal na memória (Nº do canal, sistema de cor, etc.) e conduz os dados através do serial data.
- 2) Os dados da seleção de canais consistem de 19 bits incluindo a banda (4 bits) e os dados da razão de divisão.
- 3) O sinal de seleção do chip é liberado após 16ms e o processamento é durante 500ms. Cada pulso tem uma largura de pulso de aproximadamente 0,5ms.
- 4) A largura do pulso de clock data é pré-determinado em aproximadamente 25µs.
- 5) Operação do processo de seleção de canal.
  - a) O microprocessador libera os dados do canal selecionado e interrompe a sintonia quando o sinal de sincronismo for encontrado. Se ele não encontrar o canal, o IC1101 muda a razão de divisão dos dados (sintonia fina) deslocando a frequência em até no máximo 4MHz.
  - b) O IC1101 MPU monitora a tensão AFC e o sinal de sincronismo horizontal, alterando o modo de procura de acordo com a tensão e alterando a velocidade de sintonia. Veja a figura anterior.
    - I) Modo de Alta Velocidade: 187,5 KHz (31,25KHz x 6 vezes)
    - II) Modo de Média Velocidade: 125KHz KHz (31,25KHz x 4 vezes)
    - III) Modo de Baixa Velocidade: 31,25KHz KHz
  - c) Quando a tensão de AFC estiver entre 0,97V e 4,03V, o microprocessador altera a velocidade de sintonia para baixa velocidade e altera o passo da frequência.
  - d) Quando a tensão AFC estiver no valor central (2,5V) e existir o sinal de sincronismo, o MPU IC1101 interrompe o processo de procura e memoriza os dados referentes ao canal sintonizado (diferente do valor inicial armazenado na memória). Depois de armazenado, ele inicia o processo de sintonia novamente.
  - e) Quando não existir o sinal de sincronismo, o MPU IC1101 interrompe o processo de procura e retorna os dados de seleção dos canais para o valor central.
  - f) Depois do processo de sintonia automática, o MPU verifica os canais entre o menor e o maior canal, memoriza os canais encontrados e retorna ao 1º canal sintonizado.

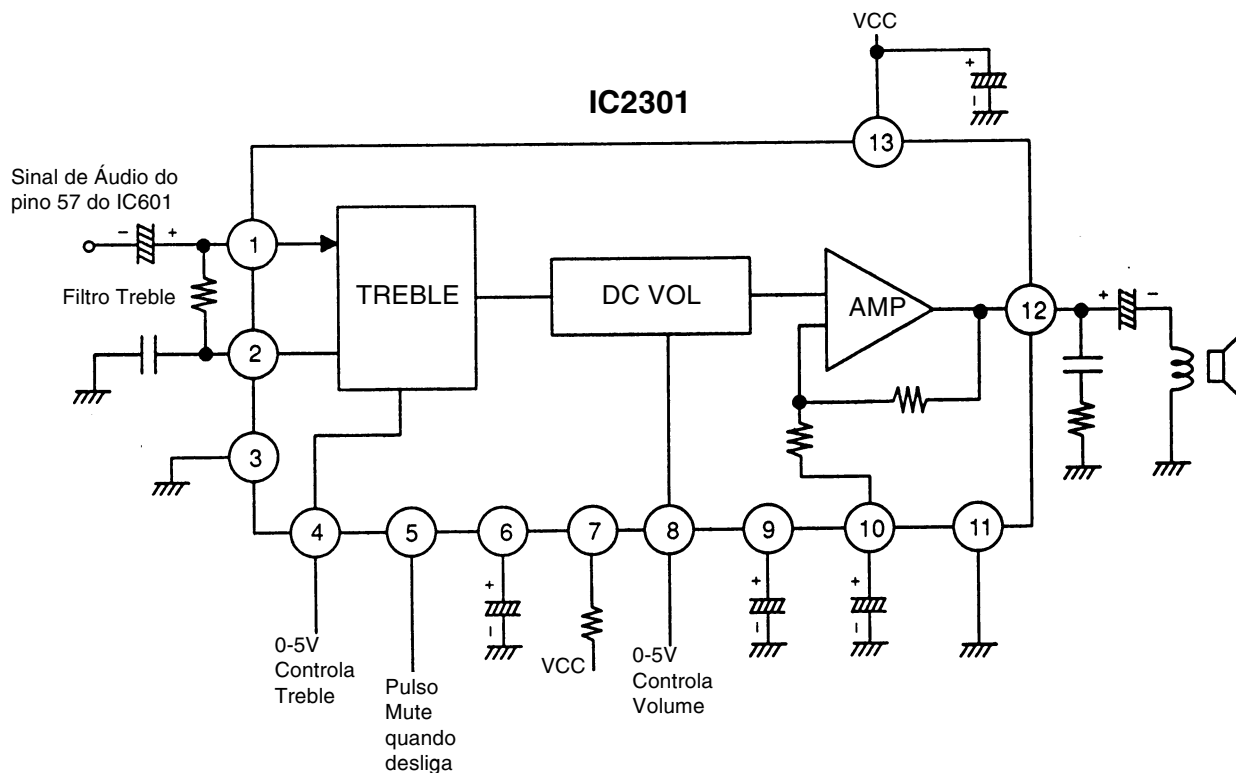


# Circuito Amplificador de Áudio



## Diagrama em Blocos do Circuito de Áudio

Este CI Amplificador é utilizado para amplificar o sinal de áudio para os alto-falantes e controla o volume e treble através da tensão DC (0-5V) recebida do microprocessador.

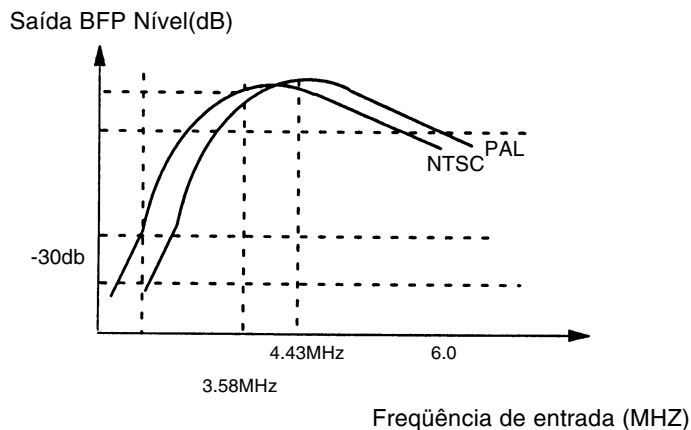


Quando o aparelho é desligado, um pulso mute ativa o transistor Q1130 que interrompe o sinal de entrada do amplificador de áudio.

Fig. 2.2 Diagrama em blocos do circuito de áudio

## Fluxo do Sinal de Cor PAL / NTSC

1. O sinal de vídeo composto, sai do pino 47 do IC601, passa pelo transistor Q160 e entra pelo pino 33 no IC601.
2. O sinal de vídeo composto é aplicado a um filtro passa banda de 3,58 MHz.



### CARACTERÍSTICAS DO TRAP DE CROMINÂNCIA (PAL)

3. No circuito de chaveamento PAL/NTSC, o sinal de cor é selecionado pelo I2C bus.
4. Apenas o sinal de crominancia (portadora de croma e o sinal de burst gate) será aplicado ao circuito amplificador ACC.
5. Depois que o nível do sinal de cor for fixado em um certo nível, para assegurar níveis de sinal constantes em relação ao sinal de luminancia, o sinal de cor será aplicado a um demodulador síncrono R-Y e B-Y para a demodulação de PAL / NTSC.
6. O sinal de referência necessário para a demodulação PAL / NTSC é produzido por um oscilador local, usando os cristais X601 (PAL) e X625 (NTSC, conectado aos pinos 50 e 41 através de dois circuitos para prover a troca de fase exigida.
7. O oscilador tem a fase travada pelo burst do amplificador de ACC mas para operação de NTSC o burst pode ser trocado mais ou menos 30 graus pelo controle de TINT do microprocessador.
8. O sinal de cor é demodulado usando-se a freqüência de 3,58 VCO através do circuito PAL/NTSC.
9. O sinal de cor PAL/NTSC é detectado pelo circuito identificador de sistema PAL/NTSC e o resultado é aplicado ao circuito demodulador PAL/NTSC e a saída Killer do pino 42 é disponível para os circuitos de chaveamento PAL/NTSC, etc.

## 3.0 O IC601

### Perfil do Microprocessador

O Integrando IC601 é um circuito semiconductor desenhado para TV colorida. Tem vídeo IF, som IF, vídeo, cores, gerador de caracteres ON-SCREEN e barramento de controle de interface. Todos os controles são feitos por controle serial usando a linha de barramento I2C o que torna possível um completo auto ajuste com computador e realiza uma drástica racionalização na linha de monta-

gem de aparelhos de TV.

Tem vários filtros montados internamente e linha de atraso 1H que torna possível reduzir os circuitos periféricos. A racionalização de múltiplos sistemas podem ser realizadas em uma pequena área de placa para uma grande gama de chassis pelo uso do decodificador colorido SE-CAM livre de ajustes.

### Características

#### 1. Sessão VIF

##### Amplificador VIF

O circuito usado no amplificador VIF tem boa linearidade e um completo circuito detetor de sincronismo que usa PLL para detetor de vídeo para promover um excelente DG, DP, S/N e a característica sem ruído.

##### VCO

O ajuste da bobina VCO é controlado pelo barramento. Oscilações de frequência podem ser ajustadas para a referência da bobina periférica específica. Ajustes livres de frequência podem ser feitos ajustando o centro da frequência de AFT.

##### AFT

O sinal de saída AFT é gerado da voltagem APC, portanto a captura de uma larga faixa de APC é necessário. O sinal de saída AFT é defeituoso no caso de ou PLL ser destravado ou fraco, quando o sinal de saída é uma centro de voltagem.

##### Saída de Vídeo

A voltagem da saída detectada é 2.2 Vpp típica e detecção de vídeo é disponível para ambos sinais modulados, positivo e negativo. A detecção de vídeo funciona quando o modo AGC é posicionado para ser NEG para o sinal modulado negativo normal, e funciona no pico AGC, com longa constante de tempo.

#### 2. Sessão SIF

Um largo circuito PLL é usado na sessão detetora de FM. Este circuito tem boa linearidade e funciona para todos os tipos de chassis. A frequência para o demodulador pode é chaveada em 4.5MHz.

#### 3. Sessão de Vídeo

O sinal de entrada de vídeo de 1Vp-p no pino 45 vai através da chave TV/EXT, Trap de Croma, y-DL e circuito controlador de qualidade de imagem. Boa

performance de pré/lançamento é feito no circuito de abertura DL usando 120ns de linha de atraso como na Fig. 3.1.

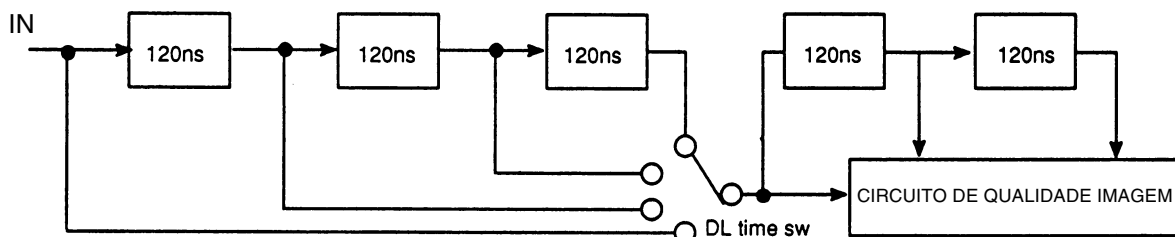


Fig. 3.1

## 4. Seção de Cromagem

Vídeo ou sinal de cromagem dentro do amplificador ACC. ACC cromagem é quando dentro do 2º amplificador depois de ir através do filtro passa-banda de cromagem. Este sinal é processado nos circuitos identificados como ACC, APC e KILLER. A frequência central do trap de cromagem e do filtro passa-banda é auto ajustável usando sub portadora de cromagem que é a frequência de referência para performance dos mesmos.

### Cor automática.

O sistema de cor pode ser identificado automaticamente.

mente. Também pode ser configurado pelo controle manual.

A condição do sistema ID pode ser lido pelo barramento.

### Entrada RGB

A tensão do sinal de entrada RGB é 0.7 Vp-p típico. A tensão limiar do FAST BLK é 0.4V.

## 5. Deflexão

### SCP

A forma de onda de saída tem três níveis limiares.

### 50/60Hz

A Frequência Vertical é identificada automaticamente e a condição pode ser lida pelo barramento. A frequência vertical quando não houver sinal de entrada será 50Hz.

### Rampa Vertical

Rampa Vertical ou Pulso é chaveado pelo pino 29. Para Modo Rampa, a amplitude de saída V-Ramp pode ser ajustada por dados de 7 bits.

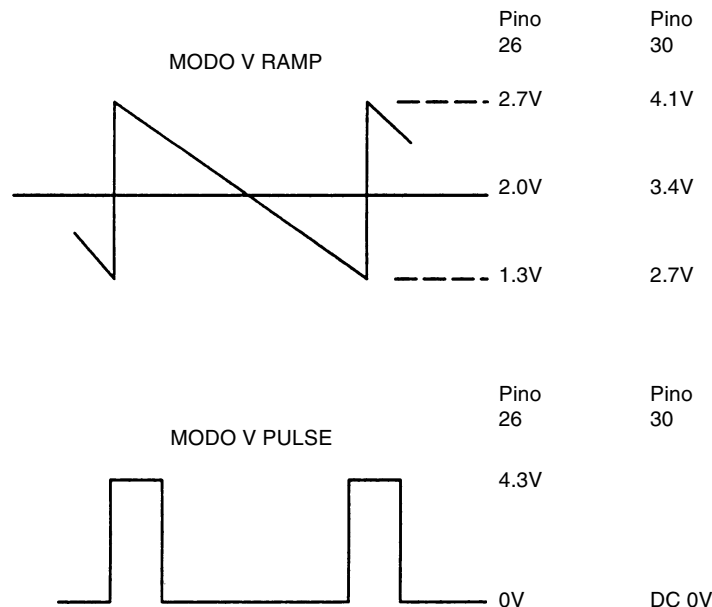
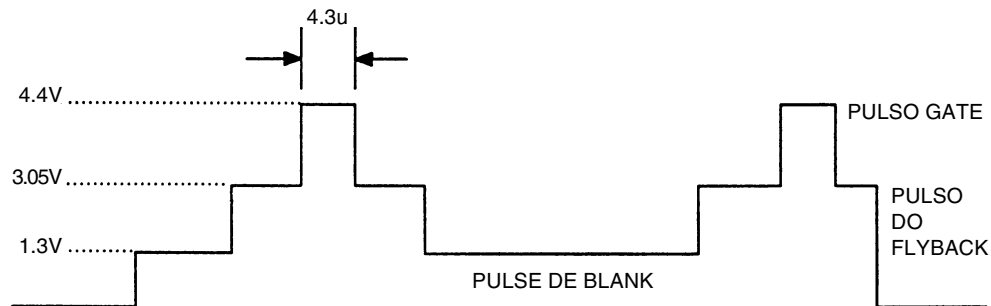


Fig. 3.3

## 4.0 FI de Vídeo

A principal função da sessão IF é a mudança de frequência do sinal IF de 45.75MHz em sinal CVBS o qual é então alimentado para a seção IF de áudio para

### Amplificador VIF

O sinal de entrada VIF vem do tuner e entra nos pinos 9 & 10 do IC601. O sinal VIF é amplificado por dois amplificadores.

O Ganho do primeiro amplificador é controlado pelo controlador de voltagem IF AGC. A fig 4.1 ilustra a relação entre a voltagem IF AGC e a entrada IF. O primeiro e

obter o sinal de áudio. O sinal CVBS é também alimentado para a seção Vídeo Croma

o segundo amplificadores são combinados para alcançar 60 dbu (50dbu a 110dbu) de faixa de operação AGC. Portanto o sinal de saída do segundo amplificador se mantém constante em 86dbu. A resistência de entrada nos pinos 9 e 10 é de 800Ω em paralelo com 5pF como requerido pela maioria dos filtros SAW.

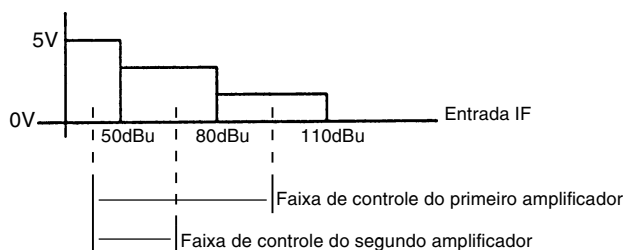


Fig. 3.3

### Detetor de Vídeo.

Existem duas entradas para o detetor de vídeo. Uma é o sinal de vídeo o qual é fixado em 86dbu (56.6mVpp) pelo amplificador VIF. O outro é uma entrada vinda do controlador de voltagem oscilador (VCO). O VCO é um oscilador de frequência intermediária (IF). Dependendo do país, as frequências IF são de 38.9MHz (ex.: Singapura) 45.75MHz (ex.:US) e 58.75MHz (ex.: Japão). O detetor de vídeo é essencialmente um multiplicador de frequência. Também tem dois estágios de amplificação. O primeiro estágio trás o nível do sinal a 1 Vp-p. O

segundo estágio amplia o nível para 2.3Vp-p. A saída do detetor de vídeo é no pino 64 do microprocessador. Modulação Positiva ou Negativa pode ser selecionada por software através do barramento interno (POS/NEG).

A saída no pino 64 compreende uma composição de sinais de banda base e IF de áudio. Esta saída é alimentada para a sessão de som IF no pino 3, depois passa através de um SIF BPF, e a seção vídeo croma no pino 45, depois passando através de um trap SIF.

### Detetor Travado

O detetor de travamento detecta a condição por onde o PLL não trava. Isto é ilustrado no diagrama que se segue na fig. 4.2

Quando o PLL trava, a média de voltagem DC é abaixo do nível de voltagem 2.75V. Entretanto no caso onde o

PLL não trava a média de voltagem pode ser acima uma voltagem de comparação de 3.3V. Quando isto acontece, o defeito da AFT (Sintonia fina automática) é confirmado via chave detectora de travamento.

### Detetor IF AGC

IF AGC é do tipo pico AGC. Pico AGC compara um nível de amostra do sincronismo de vídeo com um valor DC fixo. Se a amplitude da amostra exceder o nível de referência, uma tensão de controle é aplicada nos estágios RF e IF para reduzir seus ganhos, através da restauração do nível de referência da amostrada sincronizada. O

Pico AGC é também chamado grampo de sincronismo AGC. Um capacitor eletrolítico de 0.22μF é conectado no pino 6 com propósito de carregar e descarregar a corrente nesta operação de AGC.

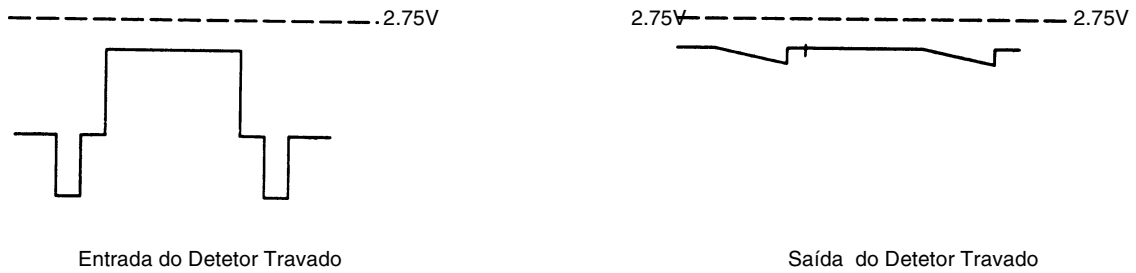


Fig. 4.2 Forma de onda como resultado da condição de PLL

Quando o nível de detecção de saída cai rapidamente a corrente de carregamento é aumentada para acelerar a ação do AGC. O nível da amostra sincronizada da saída

detectora pode ser restaurado em aproximadamente  $3H(200\mu s)$  de tempo.

### RF AGC

É um amplificador diferencial de alto ganho. O ganho é maior que 50db. Isto é ilustrado na fig. 4.3

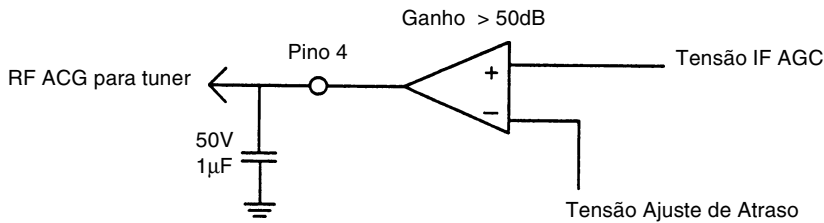


Fig. 4.3 Esquemático do RF AGC

### VCO

A bobina VCO determina a frequência IF (ex. 45.75MHz) para as oscilações VCO.

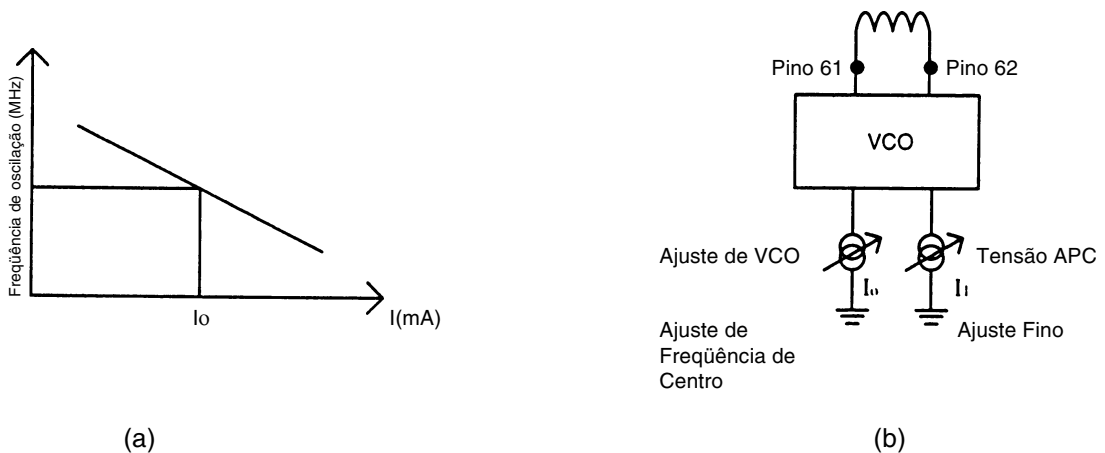


Fig. 4.4 (a) relação entre **tail current** e frequência de oscilação  
(b) Circuito VCO



## 5.0 SIF

O diagrama de blocos da parte de áudio é mostrado na fig. 5.1

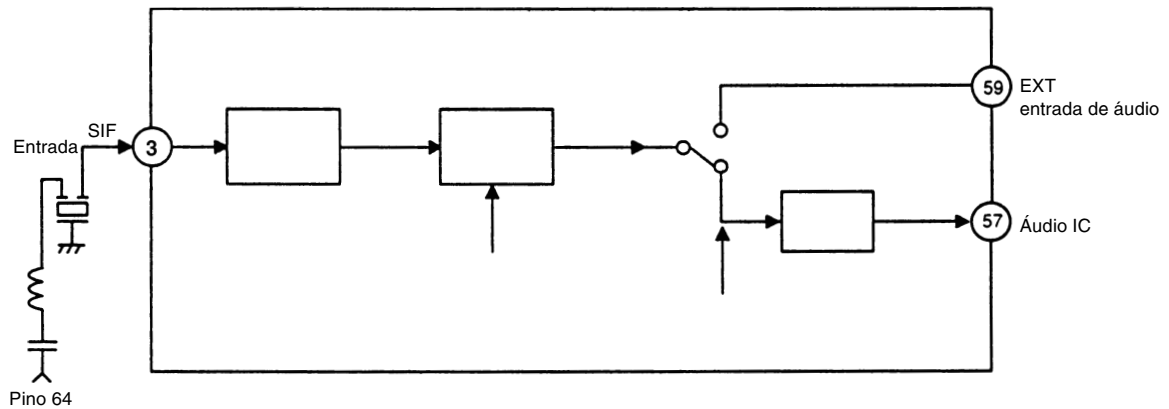


Fig. 5.1 Diagrama em blocos da seção SIF

### Amplificador Limitador

O amplificador limitador é alimentado através de um filtro passa-banda externo. A componente AM é removida. A portadora de som está na frequência de 4.5MHz.

O limitador consiste de três estágios de amplificação. O ganho total do amplificador limitador é de 60db.

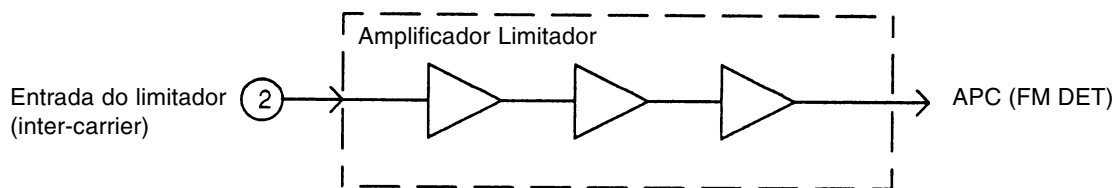


Fig. 5.2 Diagrama em blocos do amplificador limitador

### Detetor de FM

Uma técnica de controle de travamento de fase é usada para demodular o sinal FM. Isso é feito em duas etapas. A

primeira é o Controle Automático de Fase (APC) e a Segunda fase é o Controle da Voltagem de Oscilação (VCO).

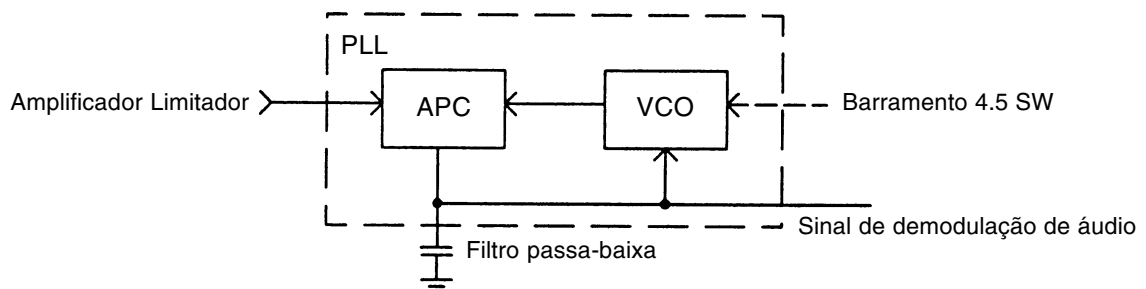


Fig. 5.3 Detetor de FM que usa técnica PLL

## AMP - Amplificador de Áudio

O propósito do Amplificador de Áudio é amplificar o sinal de áudio demodulado. Ele consiste de um filtro inibidor de enfase (pino 60) que é configurado como filtro passa baixa como mostra a fig. 5.4. Dois resistores selecionáveis

R1 e R2 são incorporados para dar constantes de tempo diferentes. Estas informações estão na tabela 5.1. A tensão de saída no pino 57 é por volta de 1 Vp-p e o nível da tensão DC é de aproximadamente 2.5V.

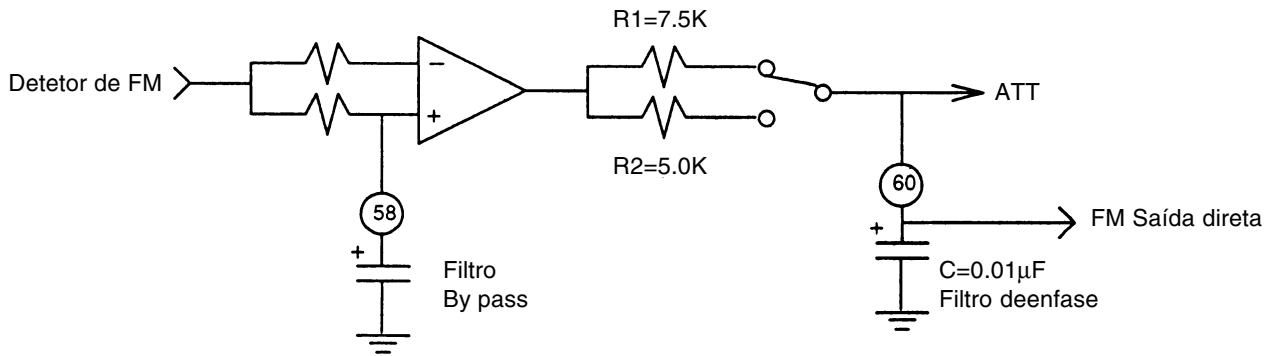


Fig. 5.4 Amplificador de Áudio com Filtro Deenfase

Freqüência Inter-carrier (MHz)	Ganho	Resistência	Tempo de De-enfase Constante (us)
4.5	~ 26dB	R1	$R1 \times C = 75$

Tabela 5.1 - Valores do filtro de de-enfase

## 6.0 Luminancia

Esta sessão discute o processamento do sinal composto. Primeiro, o sinal é separado em dois caminhos; nomeados luminancia e crominancia. A luminancia ou seção

de vídeo envolve o tratamento apenas do sinal Y. O diagrama de blocos desta sessão no microprocessador é mostrado abaixo.

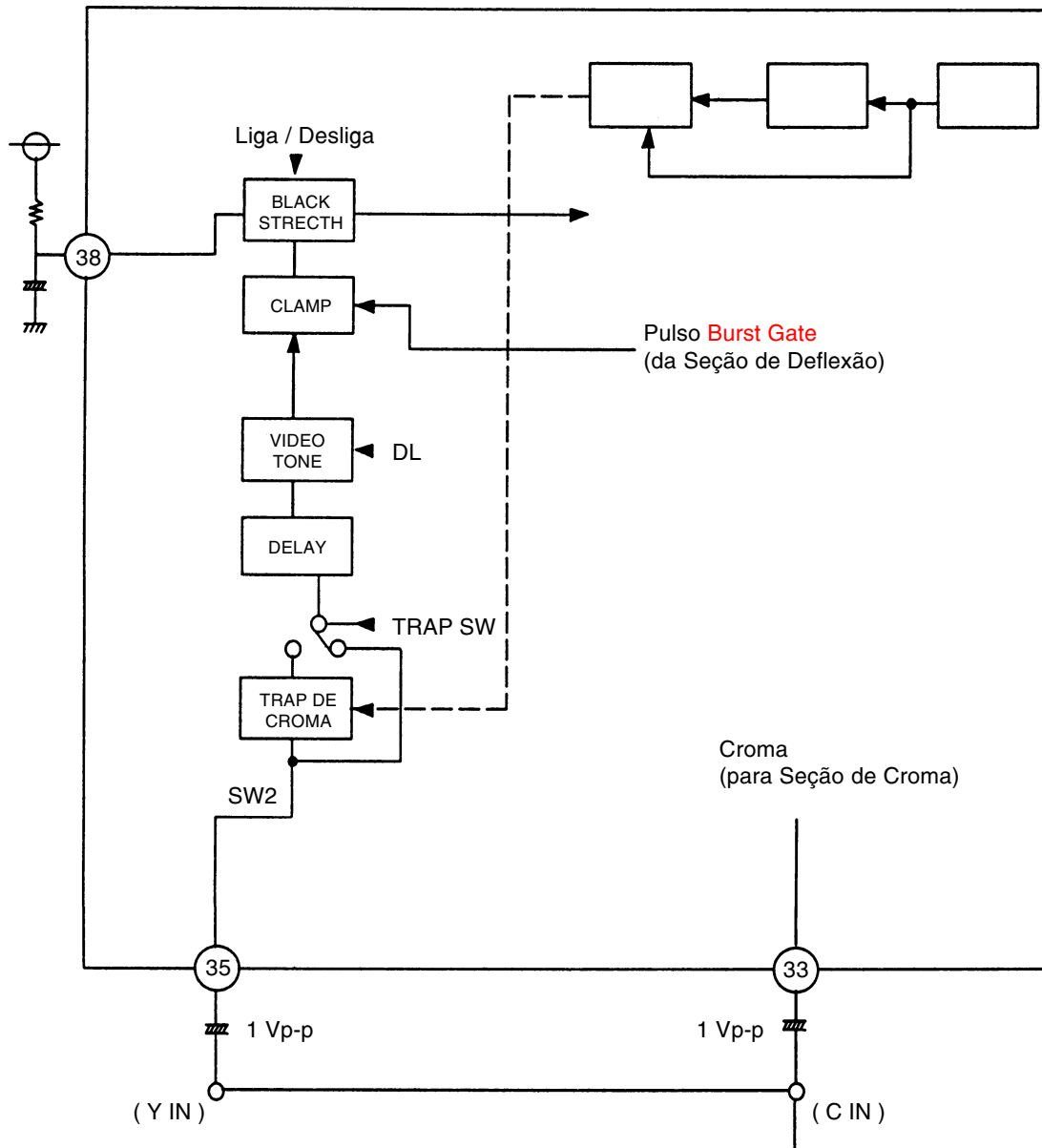


Fig. 6.1 Diagrama em Blocos da Seção de Vídeo

### Grupo de entrada.

Os sinais de luminancia e crominancia são juntados no pino 45 por um capacitor de  $0.1\mu\text{F}$ . O ponto mais baixo

do sinal de vídeo composto (a amostra de sincronismo) é grampeada em aproximadamente 2.2Volts.

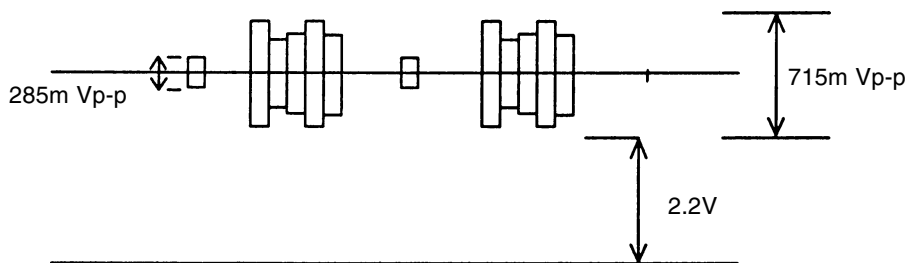


Fig. 6.2 Forma de onda do pino 33 (Sinal de Croma durante a separação de Y/C)

## Chave de Vídeo

A chave de vídeo é mostrada na fig. 3.22. A chave SW1 é controlada pelo sinal de controle TV/EXT do barramento interno. Quando o sinal de controle é chaveado para TV,

os contatos ligam o sinal ao pino 45. E de outra forma se o sinal de controle é chaveado para EXT, então o contato é feito com pino 43. Os sinais de entrada TV e EXT são sinais de vídeo composto de 1 Vp-p.

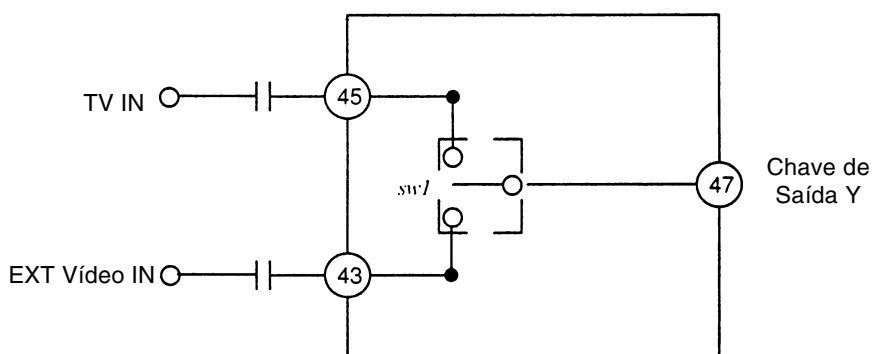


Fig. 6.3 Diagrama em blocos das chaves de vídeo

## Saída da chave Y

A chave de saída Y está disponível no pino 47. A saída do pino 47 alimenta separador de sincronismo nos pinos 48/49.

## Extensão do preto

O sinal Y na faixa de 0 – 50 IRE, está sendo enfatizado e avança na direção do preto da escala de cinzas, quando a extensão do preto é aplicada. A transferência das ca-

racterísticas da extensão do preto é mostrado na fig. 6.4. O sinal de saída tem seu nível de pedestal grampeado em 3V.

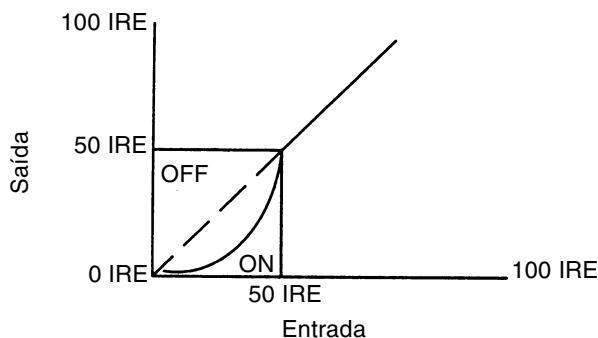


Fig. 6.4 Resposta da Extensão do Preto - Entrada e Saída

## 7.0 CROMINÂNCIA

Todo o diagrama de blocos da Seção de Crominância é mostrado na fig. 7.1

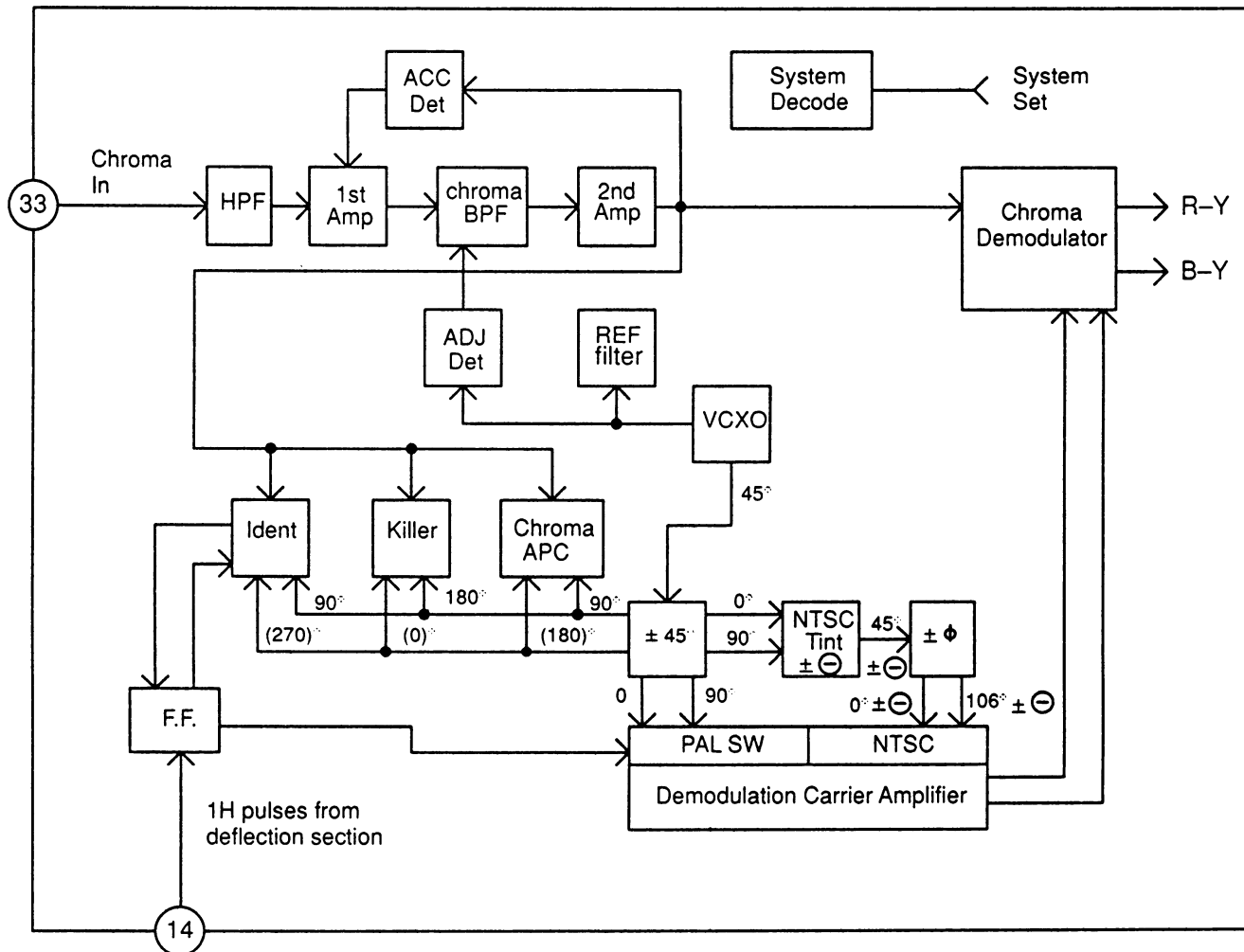


Fig. 7.1 Diagrama em blocos da Seção de Crominância

### Filtro Passa-Alta e 1º Amplificador

O sinal de crominância é aplicado em um filtro passa-alta que tem um corte de frequência de 2 MHz. Este filtro remove o sinal Y. O mais alto ganho do primeiro amplifi-

gador de crominância é 25 db. Este ganho é ajustado através do controle automático de ganho (AGC).

### Filtro Passa-Baixa

A função de  $\frac{1}{2}$  fsc trap é reduzir o ganho do sinal no ponto médio da frequência. Este ponto é configurado para 1.79MHz para portadora em 3.58MHz. A saída no ponto médio da frequência é alto, assim promove boa rejeição. O filtro passa banda pode ser configurado nos modos TV ou EXT.

No modo TV, a resposta em frequência do filtro na frequência de crominância tem uma rampa que satisfaz a rampa Nyquist do filtro SAW.

A configuração da frequência de croma também é controlada pelo circuito Automático de Cor. No modo EXT, não existe tal atenuação.

O ganho da correção no amplificador é fixado em qualquer modo TV ou EXT como comparado ao controlador AGC.

Entretanto, durante o modo EXT o ganho é limitado em 6db abaixo, se comparado ao modo TV.

## Segundo amplificador.

O ganho do segundo amplificador é de aproximadamente 18 db.

## Detetor ACC

O diagrama em blocos do ACC (Controle Automático de Crominância) é mostrado na figura 7.2.

O detetor ACC é localizado no caminho de realimentação entre o primeiro e o segundo amplificador. Ele tira sua entrada da saída do segundo amplificador e dá saída a um sinal que controla o ganho do primeiro amplifica-

dor. O efeito é certificar-se que o nível de saída do segundo amplificador seja fixado.

O detetor ACC apenas opera durante os períodos de aumento de sinal. Faz uso do aumento de amplitude do sinal.

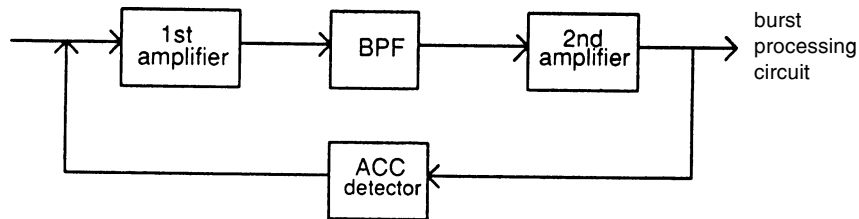


Fig. 7.2 Diagrama em blocos do Detetor ACC

## Crominância VCXO

O diagrama de blocos VCXO (Voltagem Controlada por Cristal de Oscilação) é mostrado na fig. 7.3.

A frequência básica é produzida pelo cristal ligado nos

pinos 41 e 50. O pino 41 é usado para conectar um cristal de 3.58MHz enquanto o pino 50 é usado para conectar um cristal de 4.43 MHz.

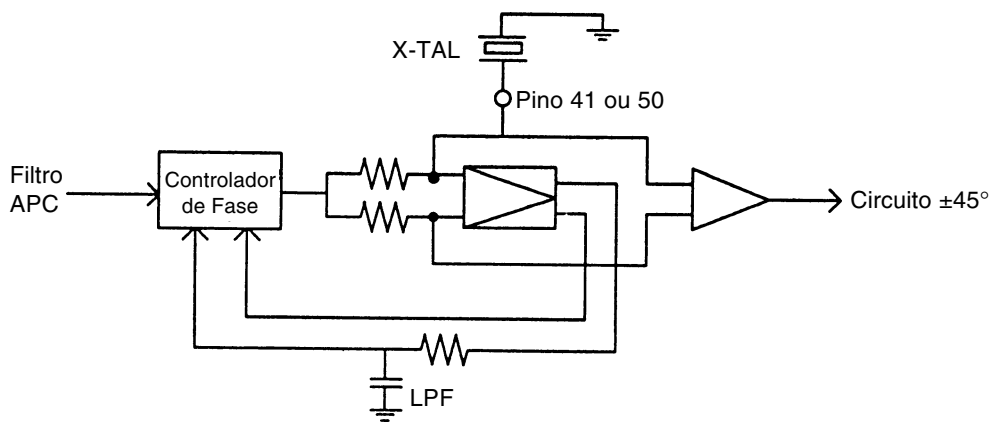


Fig. 7.3 Perfil do Circuito VCXO

O circuito VCXO não requer ajustes. O cristal age como uma fonte de filtros e as operações internas fazem o VCXO oscilar na frequência apropriada. O ajuste de fase no VCXO é feito pela realimentação da saída do bloco sintetizador. A saída é separada em dois caminhos. Um deles é conectado via um filtro passa baixa. Estes dois sinais são combinados com um terceiro sinal (filtro

de voltagem APC) no sintetizador. Quando a tensão de saída do bloco sintetizador aumenta, a fase aumenta e vice versa.

No caso de uma portadora estar sendo usada naquele momento, uma outra entrada do amplificador é conectado para a entrada do amplificador oscilador, uma vez amplificada é enviada para o Circuito  $\pm 45^\circ$ .

## Sistema Automático de Cor

O sistema de cor pode ser automaticamente identificado pelo microprocessador. Uma configuração automática ou manual do sistema de cores pode ser feita via barramento I2C.

Para o modo manual, o cristal (3.58MHz) e o sistema (NTSC/PAL) são configurados pelo barramento I2C. Os passos do processo de identificação do sistema de cor estão ilustrados na fig. 7.4.

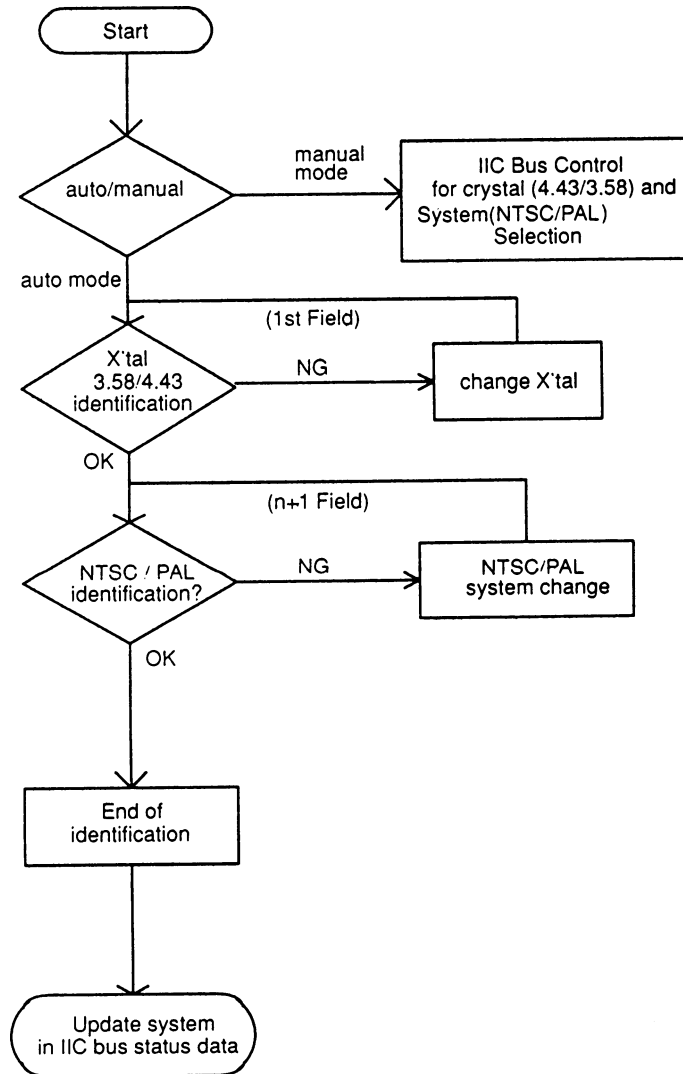


Fig. 7.4 Fluxograma do identificador de sistema de cor

## 8.0 CIRCUITOS DE DEFLEXÃO

A entrada do sinal de vídeo composto são os pinos 48 e 49 do IC601 e é separado pelos circuitos de sincronismo vertical e horizontal para gerar os pulsos de varredura. O sinal de sincronismo vertical é alimentado do pino 26 do IC601 para o pino 4 do direcionador vertical IC401. O IC 401 consiste de direcionador vertical, saída vertical e circuitos bombeadores. Ele envia corrente dente de serra suficiente para a bobina defletora efetuar a varredura

vertical.

O sinal de sincronismo horizontal no pino 15 do IC601 vai através do circuito direcionador horizontal, transistor Q549 e então para o transformador T550, para produzir uma grande quantidade de corrente necessária para direcionar o transistor de saída horizontal, Q551. O transistor Q551 amplifica o sinal horizontal de sincronismo antes de enviar para o circuito deflector horizontal.

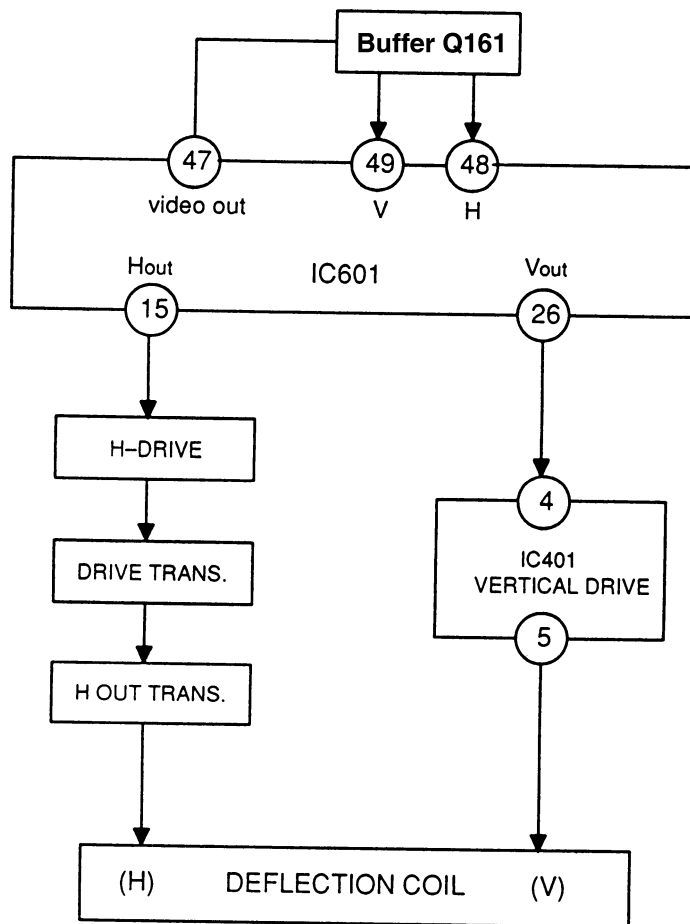
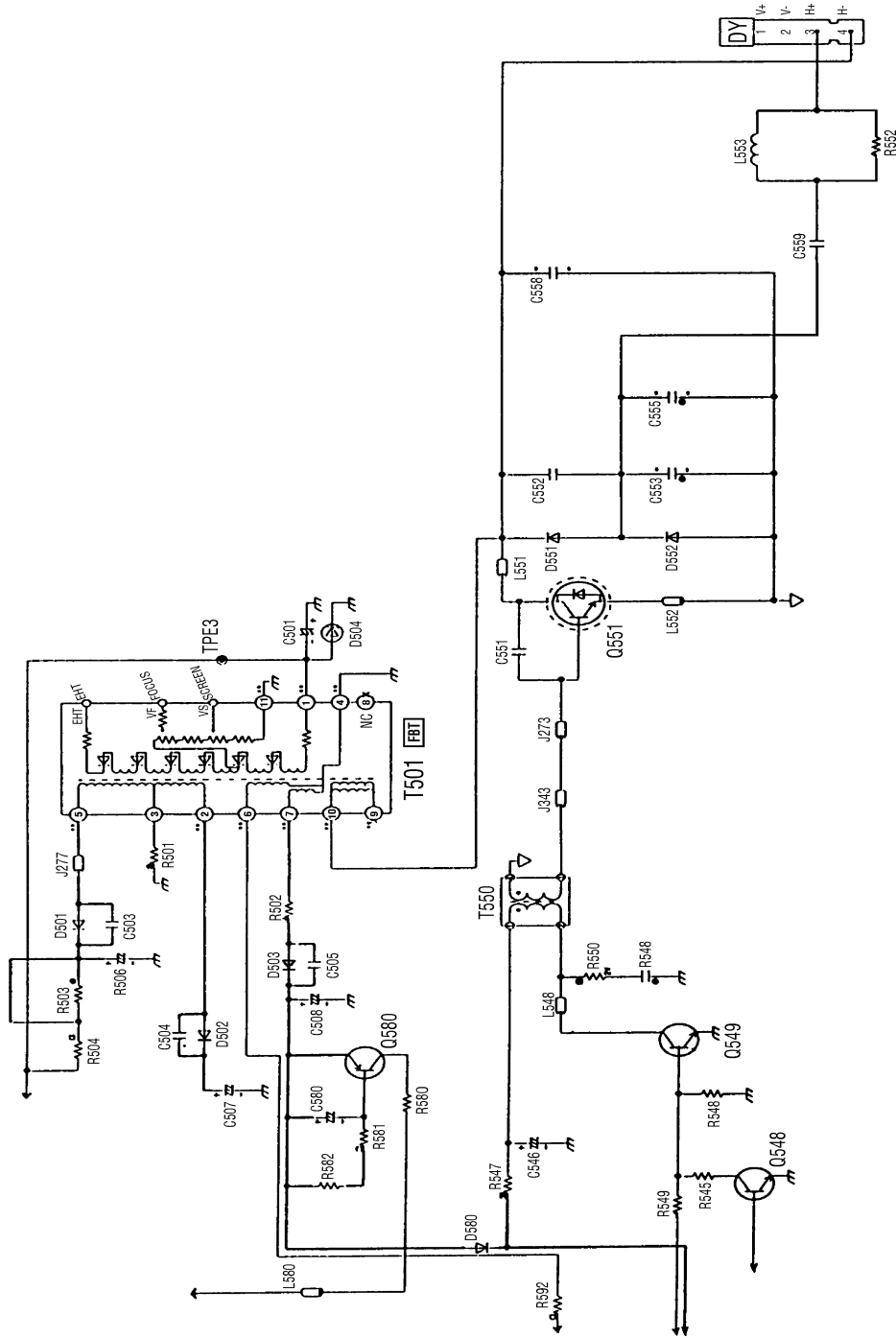


Fig. 8.1 Diagrama de deflexão Horizontal e Vertical

# 8.1 CIRCUITO DE DEFLEXÃO HORIZONTAL



## Saída Horizontal

### Introdução

1. Para ligar e desligar imediatamente a saída do circuito horizontal, o circuito drive horizontal gera uma base de corrente suficiente (drive de corrente) e coloca-a no circuito de saída horizontal (Q551) como mostra a fig. 8.2
2. O circuito de saída horizontal realiza duas regras que se seguem:
  - a) Envia para o DY a corrente de deflexão necessária para varredura do feixe eletrônico na direção horizontal.
  - b) Gera uma alta voltagem para o transistor secundário "Flyback" de alta voltagem, e alimenta voltagem para o eletrodo anodo do CRT e eletrodo de focos.

### Fluxo do sinal

1. O sinal do Drive Horizontal do pino 15 do IC601 é aplicado na base do Q549, o transistor Drive Horizontal.
2. Q549 tem um transformador no coletor do seu circuito para promover um acoplamento AC e casamento de impedância na saída horizontal do transistor Q551. Para proteger contra qualquer fagulha que possa ser gerada pela volta do EMF do transformador T551 uma rede de filtros consistida de R550 e C548 é colocado através do emissor e coletor do Q549. Q551 é um transistor de saída horizontal e é usado como drive para o transformador "Flyback" (T501) e a bobina de deflexão horizontal.
3. A Correção-S é ativada pelo C559 o qual causa distorção em cima e em baixo da forma de onda de varredura. Esta distorção é corrigida pelo C560 e R551. A linearidade é ativada por L552 e R552 enquanto o circuito diodo modulador é formado pelo D551, D552, C552, C553 e C550.
4. Do secundário do flyback um número de tensões são geradas para uso em várias partes do foco receptor, CRT, heater e alimentação de tela, etc.

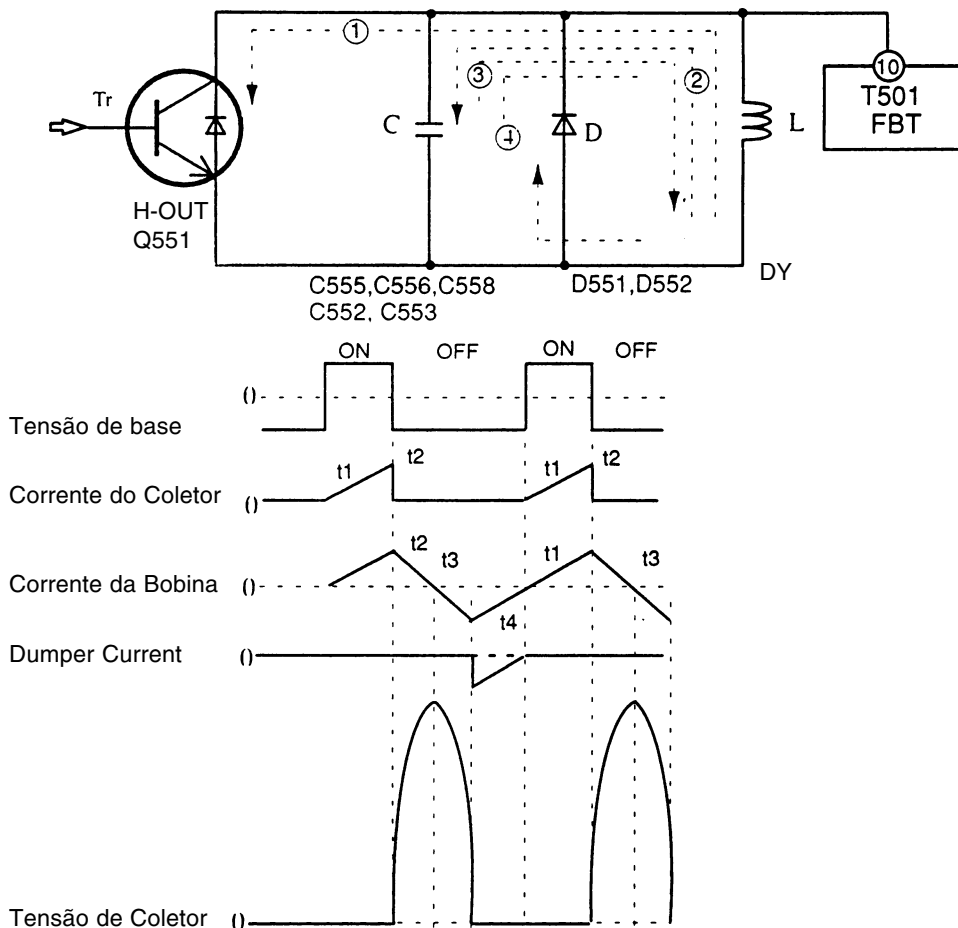


Fig. 8.2 Deflexão Horizontal

## Operação de saída horizontal.

1. A base de entrada Tr não funciona até exceder um certo nível.
2. Um pulso de polarização positiva é adicionado na base, e como a voltagem da base excede um certo nível, Tr liga. Então a corrente de coletor 1 aumenta e a corrente flui pela bobina defletora. ( $t_1 \rightarrow t_2$ ).
3. Se a base de entrada cai um certo nível, Tr desliga. A corrente de coletor se torna zero, mas a corrente na bobina continua fluindo, e enquanto carrega o capacitor de ressonância C, gradualmente diminui até finalmente atingir zero. ( $t_2 \rightarrow t_3$ ).
4. Então o descarregamento inicia pelo caminho 3 indo para a bobina defletora vindo do capacitor de ressonância. A corrente se opõe aos fluxos presentes de corrente na bobina defletora. ( $t_3 \rightarrow t_4$ ).
5. Mais tarde a corrente na bobina defletora inicia o carregamento do capacitor com uma característica oposta no circuito de ressonância LC apenas.
6. Entretanto desde que o diodo de descarga D é conectado, a voltagem na bobina defletora entre os terminais corta pelo diodo na direção de condução, a corrente da bobina defletora não flui para o capacitor de ressonância, e a corrente de descarga flui pelo diodo. Como resultado, o fenômeno da ressonância é absorvido.
7. Tempos semelhantes quando a corrente 4 do diodo atinge zero, um pulso de polaridade positiva é adicionado novamente na base Tr, retornando a situação 1.
8. Mais adiante, a operação é repetida dos passos 2 a 5, e uma forma de onda dente de serra flui regularmente na bobina defletora.
9. Mais ainda, no momento que Tr é desligado, uma voltagem de pulso positivo do flyback maior que a voltagem de alimentação é gerada.
10. O transformador flyback usa este pulso e gera a voltagem do CRT, voltagem de foco e voltagem de tela.

## 8.2 CIRCUITO DE DEFLEXÃO VERTICAL

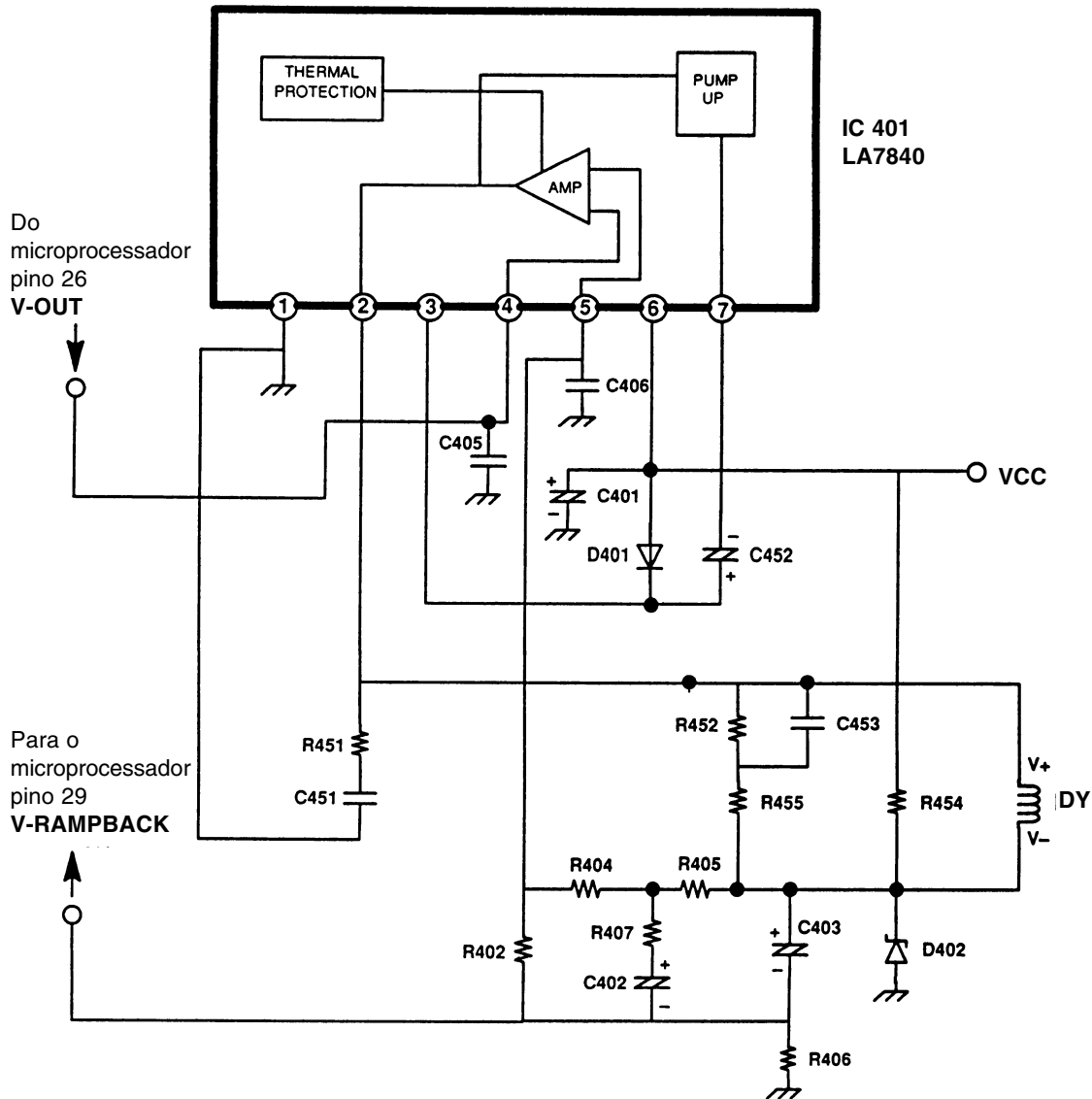
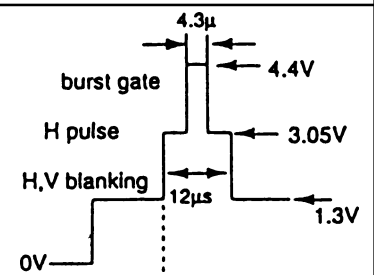
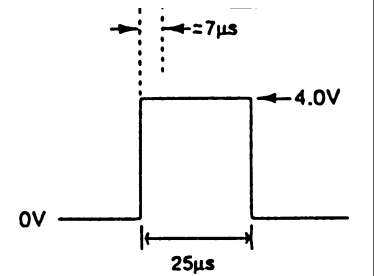


Fig. 8.3 Circuito de Deflexão Vertical

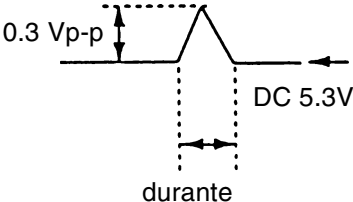
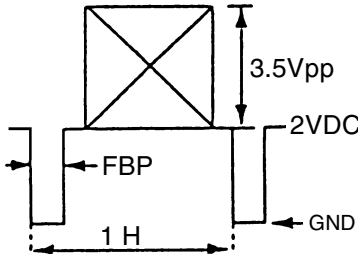
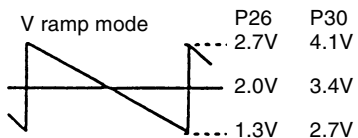
### Introdução

1. A principal função deste circuito é produzir uma corrente defletora dente de serra e amplificar a forma de onda dente de serra vertical na bobina defletora vertical para a varredura vertical.
2. A forma de onda dente de serra que é produzida no IC601 entra no IC401 através do pino 4. A forma de onda dente de serra é então comparada com a forma de onda de saída do circuito vertical para promover linearidade vertical.
3. O sinal então vai para a rampa geradora onde o chaveamento 50/60 Hz é procedido no IC601.
4. A voltagem dente de serra é então comparada com a voltagem de realimentação vinda da saída do circuito vertical direcionando o circuito a promover linearidade vertical.
5. A forma de onda dente de serra é então amplificada e deixa o IC401 pelo pino 2 para a bobina defletora vertical.
6. O circuito Pump-UP sozinho com os componentes externos C452, C401, e D401 realçam o valor de pico da forma de onda dente de serra vertical durante sua volta.
7. A tensão de realimentação da saída do circuito vertical é enviada para o gerador de rampa para estabilizar AC e para o circuito Drive Vertical para estabilizar DC.


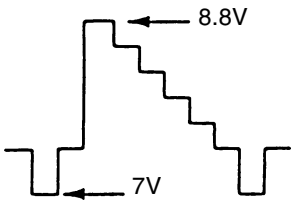

## IC 601 - Descrição dos pinos e funções

Pino Nº	Nome	Descrição	Status
1	VIF GND	Pino Terra do bloco VIF e SIF	DC 0V
2	AFT OUT	Saída AFT	DC 0.2V - 8.7V
3	LIMITER IN	O nível de entrada padrão é de 10 dBu A impedância é de 4,7KΩ.	DC 0.5V - 4.5V
4	RF AGC OUT	Saída AGC. A corrente de carga e descarga é de 0,4 mA (máx.)	DC 0.1V - 8.8V
5	QIF OUT	Pino de saída QIF det com sinal SIF FM	DC 3.2V
6	IF AGC filter	Filtro IF AGC	DC 1.9V - 4.6V
7	QIF IN	Entrada da portadora do som QIF	DC 2.2V
8	Spot Killer	O capacitor externo é carregado em operação normal. Quando a tensão de alimentação é desligada a carga do capacitor mantém a voltagem RGB por um tempo.	DC 7.5V
9 10	VIF IN	A impedância de entrada é 800Ω. Tipo 5pF. Cuidado para coincidir com Filtro SAW.	DC 1.5V
11	VIF VCC	Alimentação para o bloco de VIF/SIF	DC 5.0V
12	FAST BLK	Controle de chaveamento TV/Half Tone/Ext RGB	0.0 - 0.7V: TV Interno 1.3 - 3.3V: RGB externo 3.7 - 5.0V: Meio ton
13	SCL	Pino	---
14	SCP OUT	Pino do pulso de saída "Castelo de Areia"	 <p>The diagram shows a signal waveform starting at 0V. It features a 'burst gate' pulse with a width of 4.3μs and a peak voltage of 4.4V. Below it is an 'H pulse' with a peak voltage of 3.05V. The 'H,V blanking' signal has a duration of 12μs and a peak voltage of 1.3V.</p>
15	H OUT	Pino de saída do Pré-Drive Horizontal.	 <p>The diagram shows a square wave pulse with a width of 25μs and a peak voltage of 4.0V, starting from 0V.</p>


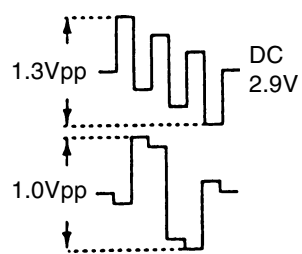


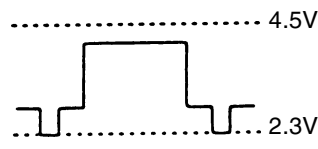
## IC 601 - Descrição dos pinos e funções (cont.)

Pino Nº	Nome	Descrição	Status
16	VSS	Pino terra para os blocos lógicos de CMOS	DC 0V
17	SDA	Pino SDA do barramento I2C.	---
18	VDD 1 decoupling	VDD para alimentar CMOS	DC 0.5V - 4.5V
19	AFC 1 FILTER	Filtro AFC1	
20	H OSC	Pino do oscilador horizontal	DC 0.3V - 2.45V <sup>sync</sup>
21	Mute Filter	Pino do Filtro Mute	DC 0.0V - 9.0V
22	R OUT	Estes pinos são do tipo emissor aberto. A corrente máxima de saída é 4mA.	
23	G OUT		
24	B OUT		
25	GND para deflexão	Pino de aterramento do bloco Deflexão	0V
26	V OUT	Saída de sincronismo vertical	 <p>(Quando BUS Dados de tam. vertical é <math>\neq 0</math>)</p> <p>DC BIAS p/ realimentação do V-Ramp 1.3 - 3.6V → depende de V-size</p>
29	V RAMP FEEDBACK	Pino DC bias para V-Ramp ...	
30	V RAMP C	Pino gerador de rampa com capacitor externo.	
27	Start-up Vcc	Alimentação para Barramento I2C, Deflexão e estágio de saída VIF/SIF	DC 9.0V
28 37 39	R IN G IN B IN	Pino de entrada de RGB externo com capacitor grampeado. Corrente de carga e descarga é do tipo 150μA	DC 2.5V
31	VIDEO/CHROMA Vcc	Alimentação para blocos de Vídeo e Croma	5.0 V
32	AFC2 FILTER	Conectado com o capacitor hold e pull-up. Assim, a fase do H-sync pode ser controlada.	DC 4.5V
33	CHROMA IN	Tendo construído BPF o sinal de vídeo composto é aceitável.	DC 3.5V

## IC 601 - Descrição dos pinos e funções (cont.)

Pino Nº	Nome	Descrição	Status
34	ID FILTER	Filtro ID	---
35	VIDEO IN	Entrada do sinal de vídeo	0.6 Vp-p: Standard
36	X-RAY IN	Proteção Raio-X	DC 0V
38	BLK HOLD	Pino do nível de preto para a função de expansão de preto.	DC 1.3V - 2.7V
40	CONTRAST CONTROL	Filtro para detecção ACL	---
41	X-TAL	Pino X-TAL 3.58	DC 3.3V 
42	KILLER FILTER	Filtro do circuito Killer	DC 3.7V
43	EXT IN	Entrada de vídeo externo	DC 1.95V
44	CHROMA APC FILTER	Filtro do circuito detector de APC	DC 3.0V
45	TV IN	Entrada de vídeo do Tuner (saída de vídeo VIF) com sync-tip grampeado	DC 1.95V
46	VCD GND	Terra dos blocos Vídeo e Croma	DC 0V
47	Y SW OUT	Saída Y SW	Sync : 1,3V Vídeo composto : 2Vp-p
48 49	SYNC SEP IN	48: Separador do sincronismo horizontal 49: Separador do sincronismo vertical	
50	X-TAL 3.58	Pino X-TAL 3.58	DC 3.3V 
51	VIDEO CLAMP	Capacitor de grampeamento do pedestal.	DC 3.0V

## IC 601 - Descrição dos pinos e funções (cont.)

Pino Nº	Nome	Descrição	Status
52	SECAM REF	Saída do sinal de referência SECAM e detecção de SECAM	PAL/NTSC : 1.4V SECAM : 5V  400 m Vp-p
53	Hi Vcc (9V)	Alimentação para o estágio de saída (Drive de RGB, Saída de AF, AFT/RF AGC).	9.0V
54	-(B-Y) IN	Pino 54: -(B-Y) entrada	
55	-(R-Y) IN	Pino 55: -(R-Y) entrada Estes pinos tem a função de grampear o pedestal.	
56	APC FILTER2	Pino do circuito Filtro Detector APC	DC 3.0V
57	AUDIO OUT	Saída de áudio	DC 2.8V 
58	AUDIO BYPASS	Pino áudio bypass	DC 4.5MHz: 2.3V 5.5MHz: 2.3V 6.0MHz: 2.6V 6.5MHz: 3.0V
59	EXT AUDIO IN	Entrada de áudio externo	---
60	FM DIRECT OUT	Saída direta de FM. NTSC: 740Vrms PAL: 690Vrms	DC 2.4V
61	VCO	VIF1 e VIF2	DC 4.2V 
62			
63	VIDEO APC FILTER1	O loop pode ser ajustado por um resistor externo	DC 3.0V
64	VIDEO OUT	Saída de Vídeo	

## 9.0 CIRCUITO DE PROTEÇÃO

### Perfil do Circuito de Proteção

A função do circuito de proteção é proteger o circuito de qualquer perigo quando erros ocorrem nos circuitos. Este circuito prevê qualquer dano para o consumidor, e também prevê qualquer subsequente reação que ocorrendo, poderia danificar outras partes do circuito.

O pino 36 da entrada do IC 601 é usado como circuito Raio X de sobre voltagem. Este circuito protege contra ambos, alta voltagem e alta corrente no feixe de CRT. Se por alguma razão a alta voltagem e ou a alta corrente

estiverem acima de um nível preestabelecido, o circuito opera para aumentar a frequência horizontal, e se o nível aumenta mais, o circuito de proteção branqueará o CRT e interromperá a oscilação horizontal.

Quando as seguintes falhas acontecem, este circuito interrompe a oscilação horizontal.

1. Alta corrente na linha de 24V.
2. Alta corrente no Feixe.
3. Sobre tensão no heater CRT.

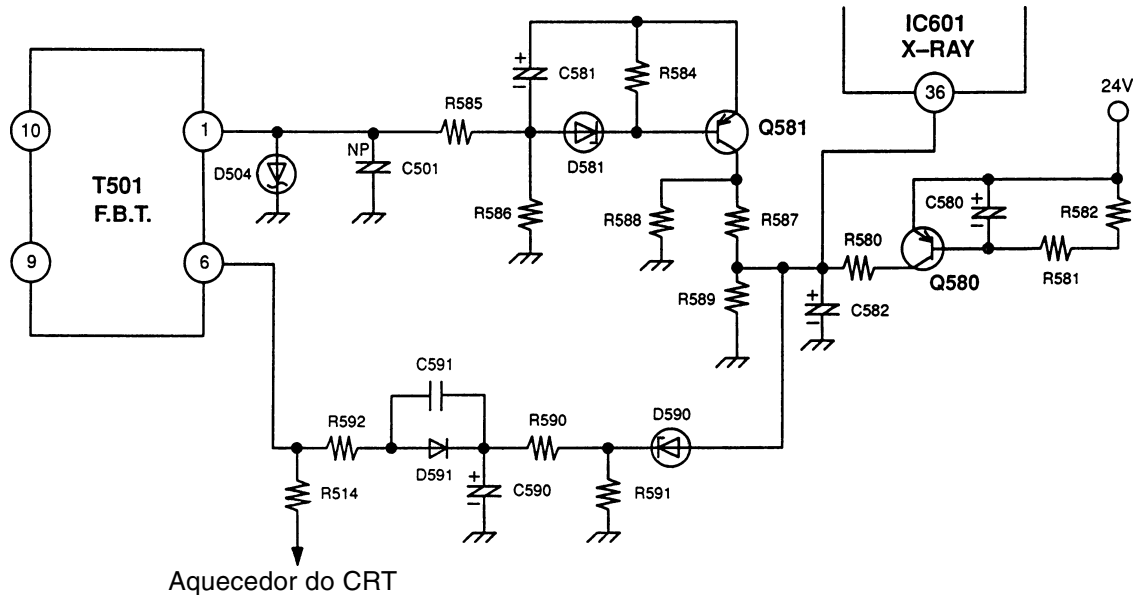
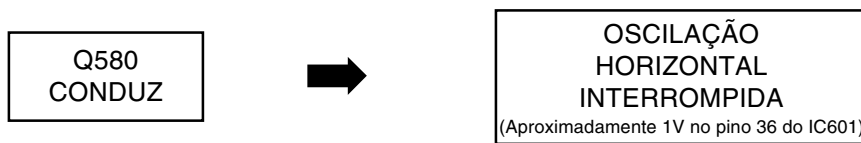


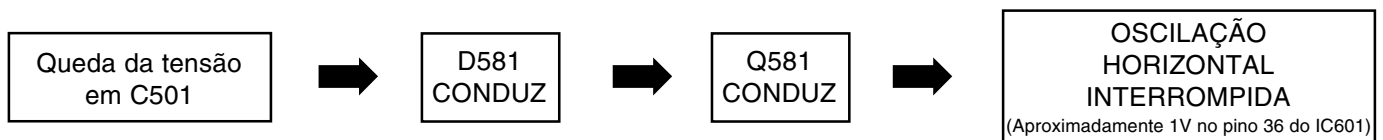
Fig. 9.1 Circuito de Proteção

### Operação do Circuito de Proteção

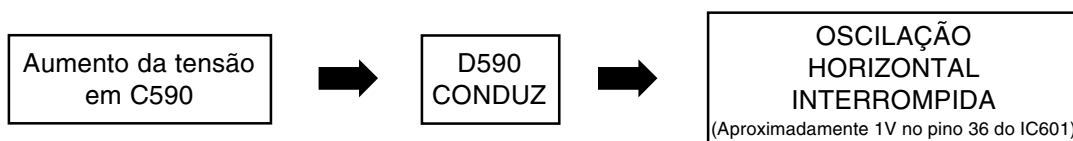
- (1) Excesso de tensão na linha de 24V.



- (2) Excesso de corrente no feixe.



- (3) Sobre-tensão no aquecimento do CRT.



**10.0 - CIRCUITO FONTE**

# 11.0 - CIRCUITO DE ALIMENTAÇÃO

## Introdução

O chassis MX-5 usa um circuito de alimentação discreto do tipo emissor chopper conversor (ECC). O circuito de alimentação ECC é assíncrono não sincronizado com a

freqüência horizontal (Fh). Durante o modo de chaveamento e o modo de espera, o circuito ECC esta funcionando livremente. Não é usado pulso FBT.

## Circuito de Partida

A partida de referência para o circuito é produzida via R803, R804, R805 para a base do transistor de chaveamento Q801. D803 fixa a tensão na junção de R804 e R805 em 12V, e por aí a corrente inicia. O início da corrente causa uma partida no Q801. Desprezando a tensão de entrada AC (110 a 220V), a condição de estabilidade é a mesma por causa do grampo produzido pelo D803.

O transistor Q801 é mantido ligado pela corrente de base

alimentada pela bobina B1 via R806 e C816. Ao mesmo tempo C817 é carregado pela corrente vinda da bobina B1 via R811. Quando a tensão VBE atinge aproximadamente 0.7V, Q802 liga e Q801 é desligado. Quando Q801 é desligado, C823 é carregado pelo fluxo de corrente através de D817 com a energia armazenada em T801. Então a energia armazenada no T801 é liberada através de D817. Q801 é ligado e mantido pela tensão de retorno (induzida) gerada na bobina B1 do T801.

## Circuito Drive

1. Quando o circuito de alimentação é iniciado, Q801 liga, o tempo é controlado pelo C817, o qual é carregado vagarosamente.
2. Quando Q801 é desligado, e depende da tensão de saída, C817 é carregado pela tensão negativa da bobina B1.
3. Pelo aumento do tempo de carga de C817, o tempo para ligar Q801 se torna mais longo.
4. Mas, esta flutuação da tensão da bobina é grande. A tensão da bobina B1 (Vbip) pode ser mostrada na fórmula abaixo:

$$V_{BIP} = [ V_{DC} (IN) - V_o ] \times \frac{B1}{NP}$$

A razão entre a tensão máxima e mínima de entrada é por volta de 8 vezes.

5. Entretanto, existe perda de força se o drive de corren-

te vem diretamente da bobina B1. Para reduzir a perda, e produzir o drive de corrente constante, a bobina B3, o diodo D816 e o capacitor C818 são incluídos. A tensão da bobina B3 é proporcional a tensão de saída (90V). Valor VB3 é dado pela seguinte fórmula:

$$V_{B3} = V_o \times \frac{B3}{NP} = 90 \times \frac{4T}{43T} = 8.4V$$

A Tensão de realimentação gerada na bobina B1 mantém a corrente de base no Q801 via R816, C821 e Q803. Quando Q801 esta desligado a bobina B3 gera tensão positiva, a qual faz com que Q804 ligue via R817, e desligue Q803. Isto completa o circuito drive.

C802 atrasa o tempo de ligação do Q801 em função do seu tempo de carga. D815 é um diodo de alta velocidade usado para afastar qualquer aumento de tensão entre o emissor e a base do transistor Q804.

## Operação do Circuito OCP

1. O circuito OCP controla o tempo máximo de ligação do Q801, pelo controle da corrente de pico do coletor de Q801 e portanto produzindo o máximo de tensão de saída.
2. Quando Q801 é ligado, a tensão de saída da bobina B1 (Vbip) é positiva em proporcionalidade a tensão de entrada. Quando Q801 é desligado, uma tensão negativa é disponível em correspondência a tensão de entrada (Vbin).
3. A relação entre VBIP e VBIN pode ser mostrada pela seguinte formula:
4. Quando Q801 é ligado, uma tensão positiva é gerada na bobina primária e C817 é carregado com uma carga a mais. Esta tensão alcança aproximadamente 0.7V, para polarizar Q802 ligado e subseqüentemente, desligar Q801.
5. Quando Q801 é desligado, uma tensão negativa é gerada na bobina B1 e C817 é carregado com uma carga negativa.
6. Se não existe corrente de carga em C817 (corrente de realimentação do D821) o máximo de tempo é detectado pela constante de tempo R811 e C817.
7. Como a tensão de entrada aumenta, a tensão na bobina B1 aumenta proporcionalmente. Quando VBIP de aproximadamente 16V é alcançado, o fluxo de corrente via R810, D805 e D804, C817 e a tensão aumentam. Através desta operação o tempo de ligação do Q801 se torna menor e a tensão de saída é controlada.

$$V_{BIP} = [ V_{DC} (IN) - V_o ] \times \frac{B1}{NP}$$

$$V_{BIN} = - V_o ] \times \frac{B1}{NP}$$

## Controle de saída

A tensão de saída +B de +90V é estabilizada pelo fluxo de corrente de realimentação através de D821 e do IC801 para C817.

## Operação de Stand-by

1. A mudança do modo normal **ligado** para o modo de **espera** é feito pelo transistor Q851.
2. Quando a tensão de base do Q851 é alta, Q850 não liga e o circuito de realimentação de stand-by não funciona.
3. Quando a tensão na base do Q851 é baixa, Q850 liga e o circuito de realimentação de stand-by começa a funcionar.

## Circuito Controlador de Stand-by

1. Quando a tensão na base do Q850 é maior que a tensão de D851 mais a tensão do Q850  $V_{be}$ , a corrente de coletor do Q850 flui através do fotoacoplador D840.
2. C817 é rapidamente carregado pela corrente de coletor do fototransistor D840. O tempo de ligação do Q801 é menor, por isto a saída de tensão é controlada.
3. O circuito detetor do modo de stand-by usa a linha de alimentação de +22V. No modo de espera a linha de 22V é reduzida para aproximadamente 6.5V. Isto é mostrado na seguinte fórmula:

$$V_{(\text{std-by})} = [ V_{D851} + V_{BEQ850} ] \times \frac{D852 + R857}{R857} = 6.5V$$

4. R851 é o limitador de corrente de D840. R850 é um resistor de linha para proteger o D851. Durante o modo de espera, uma corrente de 2.7mA flui através R850. Durante a operação de stand-by a linha de tensão de +90V é reduzida para aproximadamente 30V. Mas apesar da fuga indutiva do T801, ela pode chegar a ser mais que 30V. Para conseguir estabilizar a tensão de alimentação de 30V durante a condição de espera adiciona-se os resistores R820 e R821.

**Panasonic do Brasil Ltda.**

**GRUPO CS - APOIO TÉCNICO**

Rod. Presidente Dutra, Km 155  
São José dos Campos - SP